

НАНО- и МИКРОСИСТЕМНАЯ ТЕХНИКА

Том 18. № 4 ♦ 2016

ЕЖЕМЕСЯЧНЫЙ МЕЖДИСЦИПЛИНАРНЫЙ ТЕОРЕТИЧЕСКИЙ И ПРИКЛАДНОЙ НАУЧНО-ТЕХНИЧЕСКИЙ ЖУРНАЛ

Журнал выпускается при научно-методическом руководстве Отделения нанотехнологий
и информационных технологий Российской академии наук

Журнал включен в перечень научных и научно-технических изданий ВАК России,
в систему Российского индекса научного цитирования и реферируется в базе данных INSPEC
и базе данных RSCI на платформе Web of Science

Издается с 1999 г.

Главный редактор

Мальцев П. П., д.т.н., проф.

Зам. гл. редактора

Лучинин В. В., д.т.н., проф.

Шур М., д.ф.-м.н., проф. (США)

Редакционный совет:

Аристов В. В., д.ф.-м.н., проф., чл.-кор. РАН

Асеев А. Л., д.ф.-м.н., проф., акад. РАН

Гапонов С. В., д.ф.-м.н., проф., акад. РАН

Каляев И. А., д.т.н., проф., чл.-кор. РАН

Квардаков В. В., д.ф.-м.н., проф., чл.-кор. РАН

Климов Д. М., д.т.н., проф., акад. РАН

Ковальчук М. В., д.ф.-м.н., проф., чл.-кор. РАН

Нарайкин О. С., д.т.н., проф., чл.-кор. РАН

Никитов С. А., д.ф.-м.н., проф., чл.-кор. РАН

Рыжий В. И., д.ф.-м.н., проф., чл.-кор. РАН

(Япония)

Сауров А. Н., д.т.н., проф., чл.-кор. РАН

Сигов А. С., д.ф.-м.н., проф., акад. РАН

Чаплыгин Ю. А., д.т.н., проф., чл.-кор. РАН

Шевченко В. Я., д.х.н., проф., акад. РАН

Редакционная коллегия:

Абрамов И. И., д.ф.-м.н., проф. (Беларусь)

Агеев О. А., д.т.н., проф.

Андреев А., к.ф.-м.н., (Великобритания)

Андриевский Р. А., д.х.н., проф.

Антонов Б. И.

Астахов М. В., д.х.н., проф.

Быков В. А., д.т.н., проф.

Горнев Е. С., д.т.н., проф.

Градецкий В. Г., д.т.н., проф.

Кальнов В. А., к.т.н.

Карякин А. А., д.х.н., проф.

Колобов Ю. Р., д.т.н., проф.

Кузин А. Ю., д.т.н., проф.

Панич А. Е., д.т.н., проф.

Петросянц К. О., д.т.н., проф.

Петрунин В. Ф., д.ф.-м.н., проф.

Пожела К., д.ф.-м.н. (Литва)

Путилов А. В., д.т.н., проф.

Телец В. А., д.т.н., проф.

Тимошенков С. П., д.т.н., проф.

Тодуа П. А., д.т.н., проф.

Шубарев В. А., д.т.н., проф.

Отв. секретарь

Лысенко А. В.

Редакция:

Григорин-Рябова Е. В.

Чугунова А. В.

Учредитель:

Издательство "Новые технологии"

СОДЕРЖАНИЕ

МАТЕРИАЛОВЕДЧЕСКИЕ И ТЕХНОЛОГИЧЕСКИЕ ОСНОВЫ МНСТ

Мальцев П. П., Редькин С. В., Глинский И. А., Побойкина Н. В.,
Духновский М. П., Фёдоров Ю. Ю., Смирнова А. К., Куликов Е. Н.,
Щербаков С. В., Леонтьев И. А., Кудряшов О. Ю., Скрипниченко А. С.
Теплоотводы на поликристаллическом алмазе для мощных СВЧ мо-
нолитных интегральных схем 195

Мартинovich В. А., Хорунжий И. А., Русецкий М. С., Казючиц Н. М.
Теплоотвод на основе алмаза со встроенным датчиком температуры 209

Фёдоров Ю. В., Михайлович С. В. Перспективы замены арсенидных
МИС на нитридные 217

ЭЛЕМЕНТЫ МНСТ

Смолин В. К., Шоболов Е. Л. Вакуумная микроэлектроника — пер-
спективный путь создания элементной компонентной базы для экс-
плуатации в экстремальных условиях 227

Александров П. А., Бударягин В. В., Горемыкин А. М., Жук В. И.,
Литвинов В. Л. О построении дублированных логических элементов
для повышения отказоустойчивости микросхем при облучении 239

Аннотации на русском и английском языках с 1999 г. по настоящее время находятся
в свободном доступе на сайте журнала (<http://microsystems.ru>; <http://novtex.ru/nmst/>)
и научной электронной библиотеки (<http://elibrary.ru>). Электронные версии
полнотекстовых статей расположены на сайте журнала: с 1999 по 2014 г. в разделе
"АРХИВ".

ПОДПИСКА:

по каталогу Роспечати (индекс 79493);

по каталогу "Пресса России" (индекс 27849)

в редакции журнала (тел./факс: (499) 269-55-10)

Адрес для переписки:

107076 Москва,

Стромынский пер., д. 4

e-mail: nmst@novtex.ru

Journal of NANO- and MICROSYSTEM TECHNIQUE

NANO- I MIKROSISTEMNAYA TEHNIKA

ISSN 1813-8586

Vol. 18

No. 4

2016

Maltsev P. P., Dr. Sci. (Tech.), Prof. — **CHIEF EDITOR**
Luchinin V. V., Dr. Sci. (Tech.), Prof.

DEPUTY CHIEF EDITOR

Shur M. S., Dr. Sci. (Phys.-Math.), Prof. (USA) —
DEPUTY CHIEF EDITOR

Editorial council:

Aristov V. V., Dr. Sci. (Phys.-Math.), Prof., Cor.-Mem. RAS
Aseev A. L., Dr. Sci. (Phys.-Math.), Prof., Acad. RAS
Chaplygin Ju. A., Dr. Sci. (Tech.), Prof., Cor.-Mem. RAS
Gaponov S. V., Dr. Sci. (Phys.-Math.), Prof., Cor.-Mem. RAS
Kaljaev I. A., Dr. Sci. (Tech.), Prof., Cor.-Mem. RAS
Klimov D. M., Dr. Sci. (Tech.), Prof., Acad. RAS
Kovalchuk M. V., Dr. Sci. (Phys.-Math.), Prof., Cor.-Mem. RAS
Kvardakov V. V., Dr. Sci. (Phys.-Math.), Prof., Cor.-Mem. RAS
Narajkin O. S., Dr. Sci. (Tech.), Prof., Cor.-Mem. RAS
Nikitov S. A., Dr. Sci. (Phys.-Math.), Prof., Cor.-Mem. RAS
Ryzhii V. I. (Japan), Dr. Sci. (Phys.-Math.), Prof.,
Cor.-Mem. RAS
Surov A. N., Dr. Sci. (Tech.), Prof., Cor.-Mem. RAS
Shevchenko V. Ya., Dr. Sci. (Chem.), Prof., Acad. RAS
Sigov A. S., Dr. Sci. (Phys.-Math.), Prof., Acad. RAS

Editorial board:

Abramov I. I. (Belorussia), Dr. Sci. (Phys.-Math.), Prof.
Ageev O. A., Dr. Sci. (Tech.), Prof.
Andreev A. (UK), Cand. Sci. (Phys.-Math.), Prof.
Andrievskii R. A., Dr. Sci. (Chem.), Prof.
Antonov B. I.
Astahov M. V., Dr. Sci. (Chem.), Prof.
Bykov V. A., Dr. Sci. (Tech.), Prof.
Gornev E. S., Dr. Sci. (Tech.), Prof.
Gradetskiy V. G., Dr. Sci. (Tech.), Prof.
Kalnov V. A., Cand. Sci. (Tech.)
Karjakin A. A., Dr. Sci. (Chem.), Prof.
Kolobov Ju. R., Dr. Sci. (Tech.), Prof.
Kuzin A. U., Dr. Sci. (Tech.), Prof.
Panich A. E., Dr. Sci. (Tech.), Prof.
Petrosjants C. O., Dr. Sci. (Tech.), Prof.
Petrinin V. F., Dr. Sci. (Phys.-Math.), Prof.
Pozhela K. (Lithuania), Dr. Sci. (Phys.-Math.)
Putilov A. V., Dr. Sci. (Tech.), Prof.
Shubarev V. A., Dr. Sci. (Tech.), Prof.
Telets V. A., Dr. Sci. (Tech.), Prof.
Timoshenkov S. P., Dr. Sci. (Tech.), Prof.
Todua P. A., Dr. Sci. (Tech.), Prof.

Executive secretary:

Lysenko A. V.

Editorial staff:

Chugunova A. V.
Grigorin-Ryabova E. V.

Our:

Web: www.microsystems.ru/eng;
e-mail: nmst@novtex.ru

To subscribe, please contact with:

JSC "MK-Periodica":
Tel: +7 (495) 672-7012
Fax: +7 (495) 306-3757
E-mail: import@periodicals.ru

The Journal is included in the list
of the Higher Attestation Commission
of the Russian Federation,
in the Russian system of science citation index,
INSPEC data base
and RSCI data base

Published since November 1999

CONTENTS

SCIENCE OF MATERIALS AND TECHNOLOGICAL BASICS OF MNST

**Maltsev P. P., Redkin S. V., Glinskiy I. A., Poboykina N. V.,
Doukhovskiy M. P., Fedorov Yu. Yu., Smirnova A. K., Kuli-
kov E. N., Sherbakov S. V., Leontiev I. A., Kudryashov O. U.,
Skrpichenko A. S.** Diamond-Based Heatsink for the Power
Microwave MIC 204

**Martinovich V. A., Khorunzhiy I. A., Rusetsky M. S., Kazu-
chits N. M.** Diamond Heat Sink with an Embedded Temper-
ature Sensor 214

Fedorov Yu. V., Mikhaylovich S. V. HEMT: Nitrides vs Ar-
senides 223

MICRO- AND NANOSYSTEM TECHNIQUE ELEMENTS

Smolin V. K., Shobolov E. L. Vacuum Microelectronics — a
Promising Way for Development of ECB for Operation in
Extreme Conditions 234

**Aleksandrov P. A., Budaragin V. V., Goremykin A. M.,
Zhuk V. I., Litvinov V. L.** On the Design of the Duplicated
Logic Elements Intended to Increase the Fault-Tolerance of
Microcircuits under Irradiation 251

МАТЕРИАЛОВЕДЧЕСКИЕ И ТЕХНОЛОГИЧЕСКИЕ ОСНОВЫ МНСТ SCIENCE OF MATERIALS AND TECHNOLOGICAL BASICS OF MNST

УДК 621.382.323

П. П. Мальцев¹, д-р техн. наук, врио директора, e-mail: iuhfseras2010@yandex.ru,
С. В. Редькин¹, канд. техн. наук, вед. науч. сотр., e-mail: sergeiredckin@yandex.ru,
И. А. Глинский^{1, 2}, инженер-исследователь, аспирант, e-mail: glinskiy.igor@yandex.ru,
Н. В. Побойкина¹, мл. науч. сотр., e-mail: karnauhova89@yandex.ru,
М. П. Духновский³, нач. отдела, e-mail: istok220@mail.ru,
Ю. Ю. Фёдоров³, канд. физ.-мат. наук, зам. нач. отдела по научной работе, e-mail: istok220@mail.ru,
А. К. Смирнова³, канд. техн. наук, нач. сектора, e-mail: aleksandraratnikova@yandex.ru,
Е. Н. Куликов³, инж. 1 кат., e-mail: jaka_forever@inbox.ru,
С. В. Щербаков³, зам. ген. директора — директор по научной работе, e-mail: scherbakov@istokmw.ru,
И. А. Леонтьев⁴, ген. директор, e-mail: twinn_plasma@mail.ru,
О. Ю. Кудряшов⁴, нач. лаб., e-mail: twinn_plasma@mail.ru, **А. С. Скрипниченко**⁵, вед. инженер,

¹ Федеральное государственное бюджетное учреждение науки Институт сверхвысокочастотной полупроводниковой электроники Российской академии наук (ИСВЧПЭ РАН), г. Москва

² Московский технологический университет,

³ Акционерное общество "Научно-производственное предприятие "Исток" имени А. И. Шокина" (АО "НПП "Исток" им. Шокина"), г. Фрязино

⁴ Общество с ограниченной ответственностью "ТВИНН" (ООО "ТВИНН"), г. Москва

⁵ ОАО Научно-исследовательский институт точного машиностроения (ОАО НИИТМ), г. Зеленоград

ТЕПЛОТВОДЫ НА ПОЛИКРИСТАЛЛИЧЕСКОМ АЛМАЗЕ ДЛЯ МОШНЫХ СВЧ МОНОЛИТНЫХ ИНТЕГРАЛЬНЫХ СХЕМ

Поступила в редакцию 21.01.2016

Проведены работы по созданию базовой технологии производства и обработки перспективного материала для применения в теплоотводах мощных полупроводниковых приборов — поликристаллического алмаза. Исследована технология изготовления пластин поликристаллического алмаза методом CVD-осаждения. Проведены исследования по выбору способа фрагментирования поликристаллических алмазных пластин, в результате которых предложены новый технологичный способ лазерно-плазмохимической резки пластин в газовой среде при низком давлении и метод, заключающийся в росте поликристаллического алмаза на предварительно профилированных кремниевых подложках с последующим травлением кремния.

Ключевые слова: теплоотвод, поликристаллический алмаз, поликристаллические алмазные пленки, CVD-осаждение, лазерная резка, профилированные подложки, изделия электронной техники

Введение

В настоящее время актуальны вопросы разработки технологических процессов изготовления высокоэффективных теплоотводов для современных изделий электронной техники (ИЭТ), таких как усилители мощности на СВЧ транзисторах с высокими значениями выходной мощности (десятки ватт). Одной из проблем, с которой сталкиваются разработчики таких устройств, является

выделение теплоты в активной области СВЧ транзистора, что в свою очередь ведет к перегреву устройства. Высокие температуры в устройстве негативно сказываются на частотных характеристиках устройства, выходной мощности и его надежности.

Одним из путей решения проблемы повышения температуры в ИЭТ повышенной мощности является создание теплоотводов. Теплоотвод представляет собой объемную конструкцию и выполняет

задачу рассеивания теплоты, выделяющейся при работе мощных полупроводниковых приборов.

Эффективное рассеивание теплоты осуществляется за счет высокой теплопроводности материала теплоотвода, передающего теплоту от кристалла полупроводникового прибора к внешней системе (кондуктивной, воздушной или жидкостной) охлаждения электронного устройства.

Применение теплоотвода позволяет существенно повысить эксплуатационные характеристики и надежность электронных устройств повышенной мощности, включая СВЧ-транзисторы и монолитные интегральные схемы (МИС), а также светоизлучающие диоды, лазерные диоды и их матрицы и т. п.

Основное требование к материалу теплоотвода — это максимальное значение теплопроводности. Традиционно в качестве материала для теплоотводов использовались алюмонитридная керамика, бериллиевая керамика, медь. Но теплоотводы из вышеуказанных материалов, с учетом роста мощности современных полупроводниковых приборов, не всегда удовлетворяют требованиям отвода теплоты от активной области устройства. Помимо этого материал теплоотвода должен обладать высокими электроизоляционными свойствами, чтобы избежать образования паразитной емкости между кристаллом и теплоотводом. На настоящий момент времени наиболее перспективным материалом является монокристаллический и поликристаллический алмаз ввиду его физических и физико-химических характеристик: теплопроводности (табл. 1), коэффициента термического расширения и исключительной химической и термической стабильности, а также с учетом стоимости и технологичности [1–5, 6].

Для организации современного производства теплоотводов из поликристаллического алмаза не-

обходимо выполнить ряд требований к технологическому процессу:

- обеспечить высокие скорости роста поликристаллических алмазных пластин;
- максимальную чистоту получаемого материала;
- возможность выращивания поликристаллического алмаза на подложках большого диаметра (≥ 100 мм);
- обеспечить минимальную неравномерность пластин поликристаллического алмаза.

Помимо разработки технологии изготовления теплоотводов с высокой теплопроводностью, пригодных для применения в элементах микро- и наноэлектроники, необходимо также разработать эффективные способы разделения изготовленных на пластине теплоотводов на отдельные чипы. Также следует учитывать и экономическую целесообразность при выборе технологии для производства [7–10].

Основные работы по изготовлению алмазных теплоотводов выполнялись в рамках реализации Постановления Правительства России от 09 апреля 2010 г. № 218, договора № 02.G36.31.0005 от 23 мая 2013 г. между АО "НПП "Исток" им. Шокина" и Минобрнауки России, договора № 33/211-13 от 22 февраля 2013 г. между ИСВЧПЭ РАН и АО "НПП "Исток" им. Шокина".

Данная статья посвящена трем ключевым задачам, которые решались в ходе работ по разработке технологических процессов изготовления высокоэффективных теплоотводов из поликристаллического алмаза, с точки зрения организации их производства:

- разработка и оптимизация способов выращивания пластин поликристаллического алмаза;
- разработка способа фрагментирования пластины поликристаллического алмаза на отдельные "чипы".
- оптимизация геометрии теплоотводов из поликристаллического алмаза с помощью компьютерного моделирования.

Выращивание поликристаллических алмазных пластин

Новые перспективы применения алмаза появились в результате разработки технологии осаждения поликристаллического алмаза при низких давлениях из газовой фазы (Chemical Vapor Deposition, CVD). Данная технология дает возможность получить наиболее чистые пленки поликристаллического алмаза.

CVD-осаждение алмазных пластин ведется из активируемой газовой фазы (СВЧ плазмы), находящейся при пониженном давлении. Обычно газовая фаза состоит из смеси водорода и летучего углеродосодержащего вещества (метан, пары ацето-

Таблица 1
Table 1

Удельная теплопроводность применяемых материалов
для теплоотвода

Specific heat conductivity of the heatsink materials

Материал <i>Material</i>	Удельная теплопроводность, Вт/(м · К) <i>Specific heat conductivity, W/(m · K)</i>
CVD-алмаз <i>CVD diamond</i>	1000...2000*
Алюмонитридная керамика <i>Alumonitride ceramic</i>	180
Бериллиевая керамика <i>Beryllium ceramic</i>	220
Медь <i>Copper</i>	400

* В зависимости от рассматриваемого диапазона температур.
* *Depending on the range of temperatures.*

на, метанола и др.) в концентрации до нескольких процентов.

Активация газовой фазы преследует двоякую цель. Во-первых, необходимо создать достаточно высокую концентрацию активных углеродосодержащих частиц. Во-вторых, требуется создать реагент, подавляющий рост неалмазных форм углерода (графита, аморфного углерода). Таким реагентом является атомарный водород. Скорость обратной реакции атомарного водорода с углеродом, приводящей к образованию летучих соединений при взаимодействии с графитоподобным углеродом, значительно выше скорости взаимодействия с углеродом в виде алмаза, что обеспечивает преимущественное стравливание неалмазной составляющей покрытия. Кроме того, атомарный водород участвует в реконструкции структуры поверхности растущей углеродной пластины, преобразуя sp^2 -связи в тетраэдрические sp^3 -связи.

Все установки, созданные для CVD-осаждения, имеют общие части: реакционную камеру, вакуумную систему, газовую систему подачи реакционной смеси, СВЧ генератор. Суть процесса осаждения заключается в следующем: в вакуумную камеру подается смесь углеводорода, которая диссоциирует в СВЧ плазме, поддерживаемой мощным микроволновым излучением. Наиболее распространенной и простой смесью, которую используют для синтеза поликристаллического алмаза, является смесь метана с водородом, причем получение качественных пленок осуществляется при соотношении компонентов (0,3...1) % CH_4 — (99,7...99) % H_2 . Водород предназначен для проведения гомолитических реакций расщепления молекул углеводорода в газовой фазе, в результате которых образуются реакционноспособные углеводородные радикалы. Эти радикалы, особенно метильные группы (CH_3), диффундируют к поверхности подложки и вступают в реакции, образуя C—C-связи, необходимые для формирования решетки алмаза. Продукты разложения (углеводородные радикалы и атомарный водород) доставляются к подложке, нагретой до высокой температуры (типичные значения 700...1000 °C), на которой и происходит рост алмазных поликристаллических структур.

В зависимости от характера и направленности воздействия на систему "кристаллизация среда — кристалл" существуют два способа воздействия на направление роста: воздействие на газовую фазу (гомогенные химические реакции) и воздействие на поверхность растущего кристалла (гетерогенные процессы). Однако чаще всего при росте CVD-алмаза соотношение степени влияния на газовую фазу и на поверхность кристаллизации является достаточно неопределенным. Скорость роста алмаза и его качество зависят от степени акти-

вации, вида и концентрации исходных углеродосодержащих соединений, температуры подложки и других параметров процесса.

Задача повышения размеров (диаметров) пластин кремния с осаждаемыми на них пленками поликристаллического алмаза решается, на первый взгляд, довольно просто — необходимо заменить обычно используемую частоту 2,45 ГГц на 915 МГц. Но при этом резко падает плотность мощности на подложке. Для компенсации этого явления необходимо значительно увеличивать мощность СВЧ генератора (до десятков, сотен киловатт). При реализации таких решений на первый план выходит экономическая целесообразность.

В качестве подложки при осаждении обычно используют молибден или кремниевые пластины. Однако возможно осаждать алмазные пленки и на другие материалы, стойкие к нагреву в присутствии атомарного водорода вплоть до 1000 °C, поскольку для обеспечения процессов формирования алмазных покрытий подложку нагревают до температуры 600...1200 °C [1, 2].

Температура подложки является важным фактором при получении не только алмазных пленок, но и структур на их основе. Температура подложки сильно влияет на содержание алмазной фазы в пленке. Согласно модели роста углеродной пленки в процессе CVD-осаждения, наибольшее содержание алмазной фазы достигается при оптимальной температуре подложки, когда, во-первых, скорость роста кристаллического sp -связанного углерода, определяемая концентрацией оборванных sp -связей на поверхности пластины и зависящая от десорбции водорода с поверхности, максимальна, и, во-вторых, скорость травления sp -связанного углерода больше скорости его роста. При температуре подложки выше оптимальной скорость травления sp -связанного углерода (графита) становится меньше скорости его формирования, что приводит к графитизации пластины. При понижении температуры подложки ниже оптимальной усиливается конденсация ароматических молекул на поверхности пластины с последующим их разложением и образованием аморфного sp^3 - и sp^2 -связанного углерода. В большинстве работ по технологии термического CVD-осаждения алмазных пластин на кремнии максимальное содержание алмазной фазы достигается в диапазоне температур 500...900 °C [2].

Подчеркнем, что в настоящее время внимание технологов сосредоточено на низкотемпературных методах получения толстых алмазных пленок. Минимальной температурой подложки, отмеченной в литературе, при росте толстых пленок является 350...400 °C. Снижение температуры позволяет получать алмазные пленки на подложках практически из любых материалов [2, 7].

Одной из основных задач, привлекающей к себе большое внимание, является исследование механизма гетероэпитаксиального роста, т. е. начальные стадии осаждения, во время которых алмаз зарождается на неалмазных подложках. Несколько экспериментов показали, что предварительная абразивная обработка неалмазных подложек снижает время начала зарождения зерен алмаза и увеличивает плотность мест зародышеобразования [1]. Это неизбежно вызывает повышение скоростей роста алмаза, поскольку образование сплошной алмазной пленки — это по существу процесс кристаллизации, который происходит через образование зародышей, сопровождаемый трехмерным ростом многочисленных микрокристаллитов вплоть до того момента, когда они в конечном счете соединяются в сплошную пленку. Процесс абразивной обработки обычно проводится путем механической полировки подложки абразивной пастой (как правило, алмазным порошком с размерами частиц в порошке 0,1...10,0 мкм) либо с использованием ультразвука.

Началу роста алмазных покрытий предшествует инкубационный период, в течение которого на поверхности подложки должны сформироваться зародыши алмазной фазы. В зависимости от материала подложки и условий проведения процесса время инкубационного периода может измеряться минутами и даже часами. В целях облегчения и ускорения процесса формирования центров кристаллизации алмазной пластины на начальной стадии ее роста в качестве затравки используют микро- и нанокристаллы алмаза, которыми "засевают" поверхность подложки [1, 2].

Микроструктурой алмазных пластин и размером кристаллитов в диапазоне от нано- до микро-

Таблица 2
Table 2

Технические характеристики установки
Technical characteristics of the installation

Тип разряда Type of discharge	СВЧ Microwave
Мощность разряда Power of discharge	До 10 кВт Up to 10 kW
Частота Frequency	2,45 GHz
Тип реактора Type of reactor	Plasma Immersion
Рабочее давление в камере Working pressure in the chamber	(2,6...16) kPa
Используемые рабочие газы Used working gases	Метан, водород, кислород, азот Methane, hydrogen, oxygen, nitrogen
Потребляемая электрическая мощность Consumed electric power	25 kW
Время непрерывной работы Time of continuous work	200 h
Диаметр ростовой подложки Diameter of the growth substrate	До 100 мм Up to 100 mm

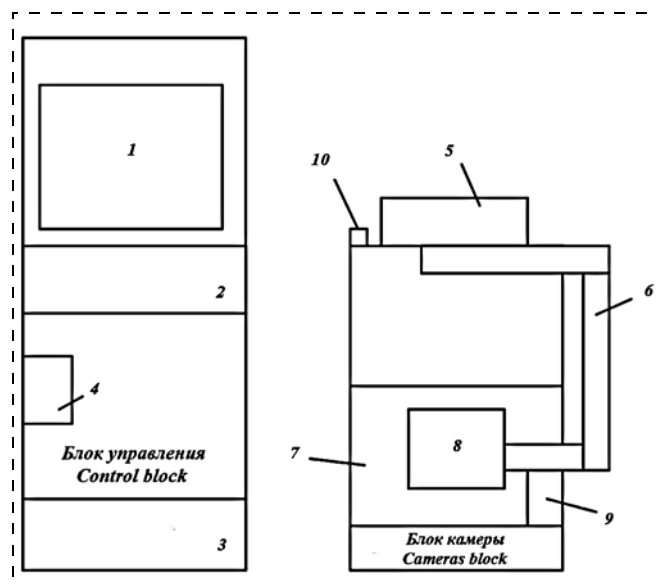


Рис. 1. Структурная схема установки АТВ-100-14: 1 — сенсорный экран; 2 — промышленный компьютер; 3 — блок питания СВЧ генератора; 4 — служебный блок питания +24 В; 5 — камера-реактор; 6 — волноводный СВЧ тракт; 7 — газовакуумный блок; 8 — блок магнетрона; 9 — водяной коллектор с регуляторами и датчиками протока; 10 — инфракрасный пирометр

Fig. 1. ATB-100-14 installation: 1 — touch screen; 2 — industrial computer; 3 — power supply unit of the microwave generator; 4 — service power supply unit +24 V; 5 — chamber-reactor; 6 — waveguide microwave path; 7 — gas-vacuum unit; 8 — magnetron; 9 — water collector with flow controls and sensors, 10 — infra-red pyrometer

метров можно эффективно управлять путем изменения условий плазмохимического осаждения, в частности, посредством выбора соответствующей газовой среды.

В ходе наших работ по исследованию технологии CVD-осаждения пленок поликристаллического алмаза использовалась установка плазмохимического осаждения АТВ-100-14 с плазмохимическим реактором на основе СВЧ разряда. Данная установка роста обеспечивает наращивание алмазных пленок на подложках большой площади, имеет повышенный уровень автоматизации и удобства обслуживания. Характеристики установки приведены в табл. 2.

Установка АТВ-100-14 состоит из нескольких частей (рис. 1):

1. Стойки управления: компьютер, сенсорный экран, блок интерфейсных плат для управления внешними устройствами, блок питания СВЧ генератора, блок питания +24 В для электронных датчиков и расходомеров.

2. Блока-реактора: камера-реактор, газовакуумный модуль с системой управляемых клапанов, СВЧ тракт, включающий в себя блок магнетрона, изолятор, тюнер, волноводы, элементы системы охлаждения установки с датчиками протока воды.

Структурная схема газовакуумного модуля и камеры показана на рис. 2.

Подложкодержатель обеспечивает поддержание определенной температуры в течение процесса роста и последующего отжига алмазной пленки. В процессе роста на подложке выделяется значительное количество теплоты (в основном за счет электронной бомбардировки), для отвода которого подложкодержатель снабжен водяным охлаждением.

В нашем случае осаждение проводилось на кремниевых подложках, нагретых до температур 700...800 °С со скоростью 2...6 мкм/ч. СВЧ мощность составляла 7,5 кВт, частота СВЧ генератора составляла 2,45 ГГц, концентрация метана — 2...3 %, концентрация водорода — 97...98 %, давление в камере — 90 Торр.

В ходе исследований были выращены алмазные пленки на подложках Si диаметром 100 мм в плазме СВЧ разряда с использованием реакционной смеси CH_4/H_2 (рис. 3).

Контроль размеров кристаллитов пленки поликристаллического алмаза проводился с помощью растрового электронного микроскопа Zeiss EVO MA10. При этом апертура растрового электронного микроскопа устанавливалась равной 20 мкм, увеличение составляло 50 000х. Размер зерна кристаллитов определялся как длина отрезка линии на экране микроскопа, соединяющей две точки с наибольшими размерами кристаллита. На рис. 4 и 5 приведены фотографии с экрана растрового электронного микроскопа для образцов № 1 и № 2.

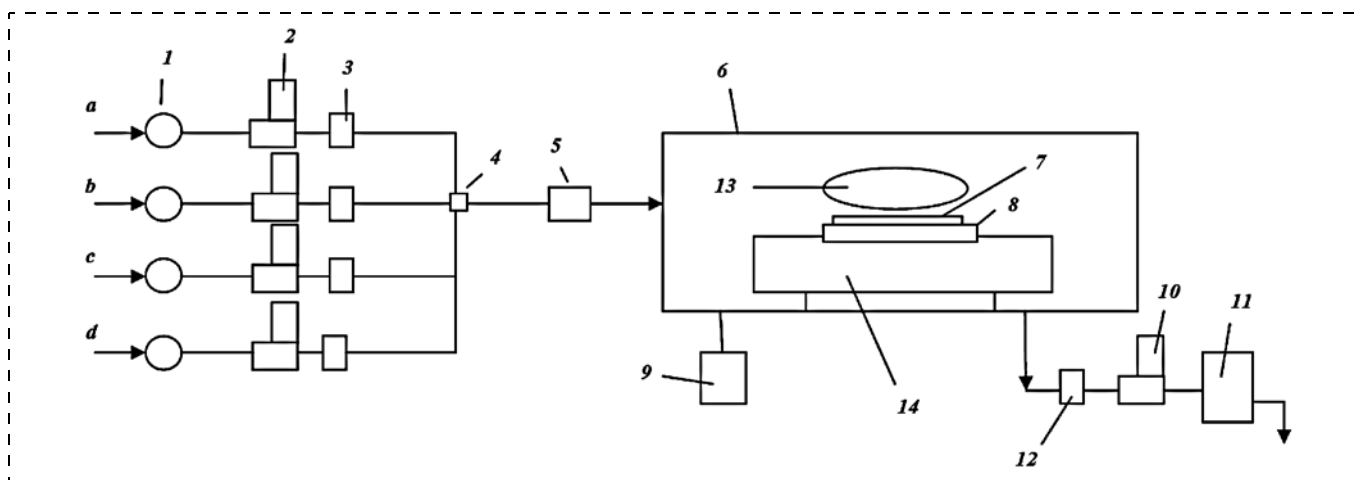


Рис. 2. Структурная схема газовакуумного модуля и камеры: *a, b, c, d* — газовые каналы; 1 — мембранный газовый расходомер; 2 — клапан пневматический; 3 — электронный газовой расходомер; 4 — газовый смеситель; 5 — газовый фильтр; 6 — камера-реактор; 7 — кремниевая подложка; 8 — подложкодержатель; 9 — датчик давления; 10 — регулятор давления в камере, вакуумный насос; 11 — форвакуумный насос; 12 — фильтр газовый; 13 — СВЧ плазма; 14 — медный стол

Fig. 2. Gas-vacuum module and chamber: a, b, c, d — gas channels; 1 — membrane valve; 2 — electronic gas flowmeter; 3 — pneumatic valve; 4 — gas-mixer; 5 — gas filter; 6 — chamber-reactor; 7 — silicon substrate; 8 — substrate holder; 9 — pressure sensor; 10 — chamber pressure control, vacuum pump; 11 — forevacuum pump; 12 — gas filter; 13 — microwave plasma; 14 — copper table

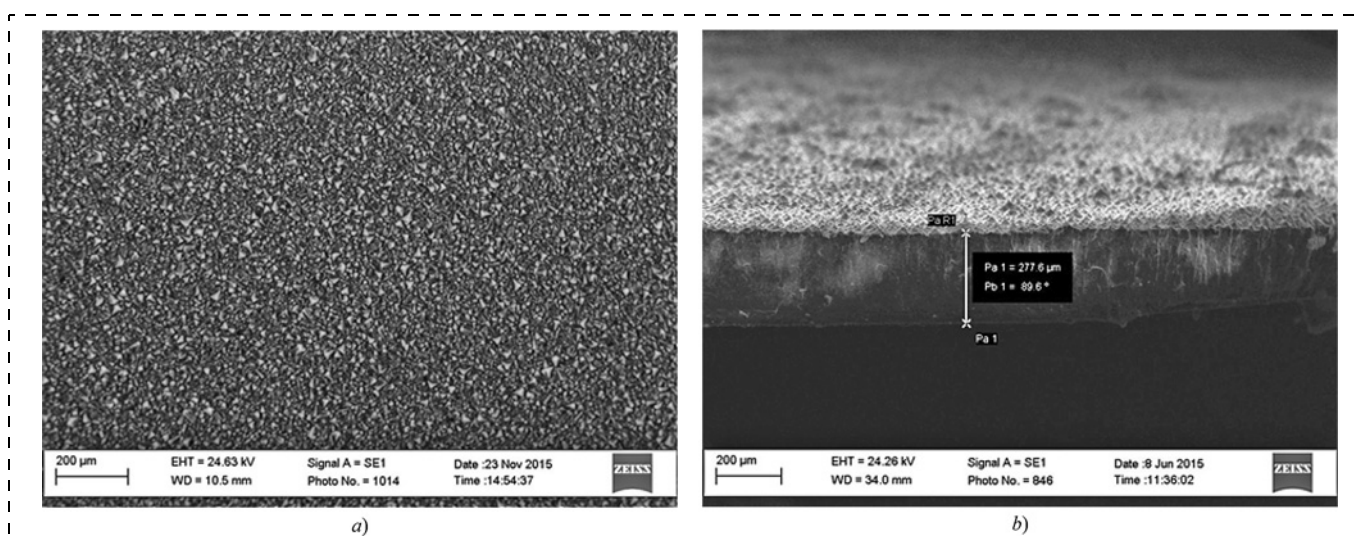


Рис. 3. Поверхность (a) и поперечное сечение (b) выращенной пленки поликристаллического алмаза

Fig. 3. Surface (a) and cross-section (b) of a polycrystalline diamond film

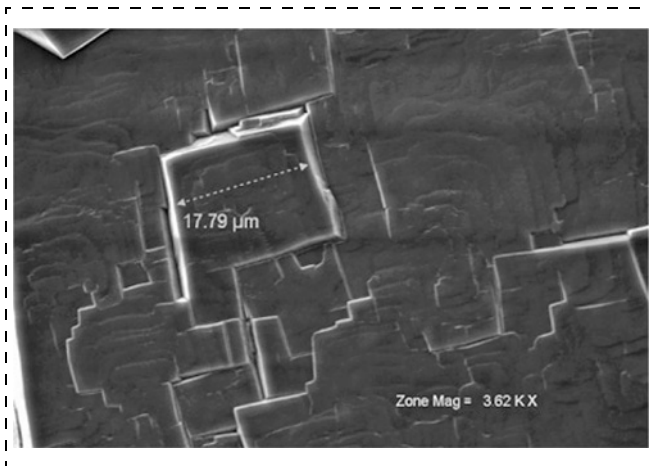


Рис. 4. Фотография поверхности образца № 1
Fig. 4. Surface of sample № 1

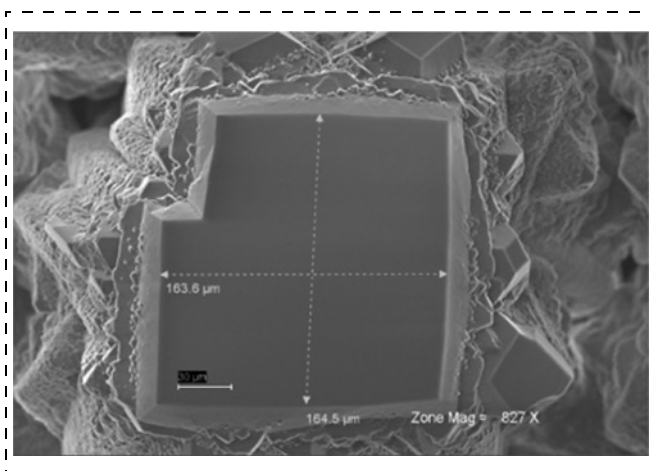


Рис. 5. Фотография поверхности образца № 2
Fig. 5. Surface of sample № 2

Вышеуказанная установка позволяет выращивать пленки поликристаллического алмаза требуемой толщины и достаточно хорошего качества на пластинах большого диаметра (~100 мм) и пригодных для изготовления теплоотводов. Скорость роста составила 2,7 мкм/ч.

Фрагментирование поликристаллических алмазных пластин, выращенных на плоских и профилированных кремниевых пластинах

Одной из проблем в технологии создания теплоотвода, которая окончательно не решена до настоящего времени, является фрагментирование поликристаллических алмазных пластин на отдельные "чипы", на которых размещают ИЭТ. Технологическая сложность работ по фрагментированию алмазных пластин обусловлена исключительной твердостью данного материала.

Для решения этой проблемы используют механические методы фрагментирования, лазерную

резку и выращивание на предварительно профилированных кремниевых подложках с последующим травлением кремния. Названные методы — это классы методов и их модификации, имеющие свои ниши применения, достоинства и недостатки.

Механические методы объединяет то, что обработка проводится алмазными дисками с применением охлаждающих агентов, но это не всегда приемлемо. Более того, в зоне обработки всегда имеется локальный перегрев, образуются сколы и трещины, загрязняется поверхность пластины стружкой и возникает необходимость последующей очистки, сам рез (профиль) имеет большой разброс по ширине.

На наш взгляд, метод фрагментирования лазерной резкой является наиболее перспективным. Лазерные методы, как правило, устраняют значительное число недостатков, присущих механическим методам. Высокая концентрация подводимой энергии и локальность воздействия позволяют провести обработку небольшого участка материала с большой скоростью при очень малом времени воздействия, без нагрева остальной поверхности и без нарушения ее структуры и свойств, что приводит к минимуму дефектов на пластине [11].

Однако лазерная резка не лишена слабых сторон. Основным и наиболее важным недостатком традиционной лазерной резки алмаза является выброс модифицированного материала — графитизированного слоя из области реза и его осаждение на уже сформированные приборные структуры, что абсолютно недопустимо при переходе к топологии приборов с наноразмерами.

Нами был предложен и разработан лазерно-плазмохимический метод, когда с помощью лазера локально, в области реза, формируется плазма определенного состава и происходит "мягкое" травление материала без его разбрызгивания [11, 12].

Суть данного метода заключается в том, что процесс проводят в плазме низкого давления в атмосфере газов, которые в ионизированном состоянии активно взаимодействуют с поверхностью алмаза и переводят его в летучие соединения, которые эвакуируются из реакционной камеры с помощью вакуумного насоса. Плазма поджигается в фокусе лазерного луча и может перемещаться в нужном направлении по обрабатываемой поверхности либо с помощью оптической системы, либо посредством механического перемещения самого образца относительно локальной плазмы в фокусе лазерного луча.

Для данного метода был выбран наиболее подходящий лазер для проведения экспериментов по резке поликристаллических алмазных пластин — лазер на парах меди с длиной волны 0,5...0,6 мкм, выходной мощностью 20 Вт, частотой повторения импульсов 10 кГц, длительностью импульсов 15 нс.

Преимущество предлагаемого лазерно-плазмохимического способа заключается в том, что скорость резки по различным кристаллографическим направлениям практически одинакова, поскольку "локальная" плазма имеет высокую плотность ($10^{11}...10^{12} \text{ см}^{-3}$) и различия по скоростям травления нивелируются. Это означает, что не требуется постоянной перестройки соответствующего аппаратного и программного обеспечения. С этой точки зрения метод проще, но он требует использования специальных химических реагентов. При температурах выше 180°C все продукты химических реакций летучи и легко откачиваются. В области существования лазерной плазмы температура превышает 180°C , а это означает, что процесс применим для решения нашей задачи — разделения подложки на фрагменты ("чипы"). Низкое давление, порядка $1 \cdot 10^{-3}...1 \text{ Торр}$ ($0,13...133,32 \text{ Па}$), в реакторе создается с помощью спирального вакуумного насоса.

Качество реза определяется режимами лазерной обработки и составом газовой среды. В качестве плазмообразующей газовой среды нами использовалась известная в традиционной плазмохимии смесь $\text{CF}_4 + \text{O}_2$, а также смесь $\text{O}_2 + \text{Ag}$. Аргон добавлялся в смесь для облегчения первоначального пробоя.

Были проведены эксперименты по резке пластин с помощью данной технологии, в результате которой линия реза получилась без фуллереновой фазы и графитовых слоев, которые присутствуют при традиционной технологии резки.

Визуализация этого проводилась с помощью растрового электронного микроскопа.

Результаты традиционной лазерной резки и предложенного лазерно-плазмохимического метода резки представлены на рис. 6 и 7.

Как видно из представленных снимков, резка по предложенной нами технологии (рис. 7) обеспечивает отсутствие каких-либо посторонних углеродных материалов как на поверхности пластины, так и на торце самого реза, в отличие от традиционной лазерной резки (см. рис. 6), где хорошо виден выброс графита на поверхность пластины вдоль линии реза.

Также был предложен кардинально другой способ фрагментирования пластин, который заключается в выращивании поликристаллического алмаза на профилированной кремниевой подложке [2, 6, 13]. В начале процесса проводят подготовку кремниевой подложки прорезанием на ней канавок с образованием площадки, соответствующей конфигурации готового изделия. Канавки имеют ширину, составляющую удвоенную толщину пленки готового изделия, и глубину, превышающую ширину, что позволяет избежать напыления алмаза на дно канавок [6]. Затем в атмосфере смеси ме-

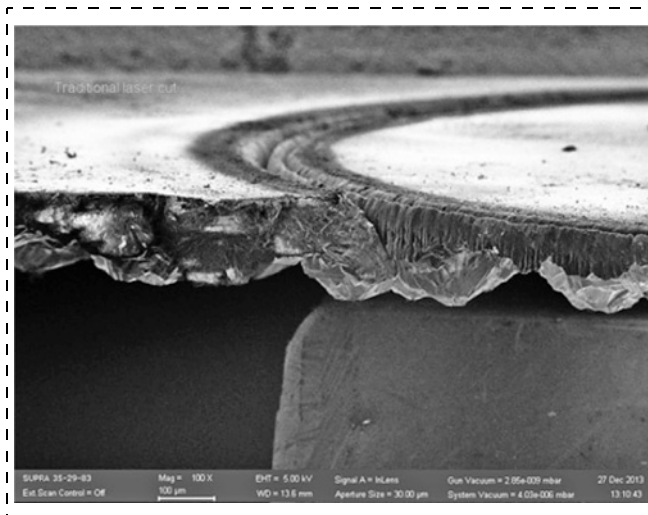


Рис. 6. Результат традиционной лазерной резки

Fig. 6. Traditional laser cutting

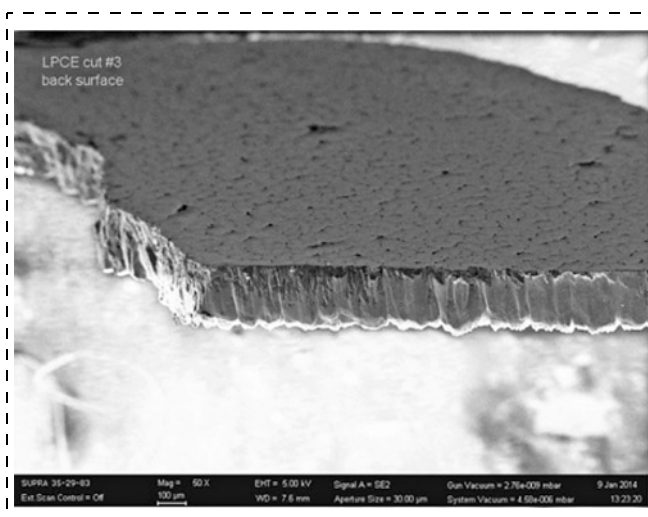


Рис. 7. Результат лазерно-плазмохимического метода резки

Fig. 7. Laser-plasma-chemical method of cutting

тана и водорода проводилось выращивание поликристаллической алмазной пленки на поверхности профилированной кремниевой подложки. Поскольку в канавках пленка поликристаллического алмаза отсутствует, а площадкам между канавками были изначально приданы форма и размеры готовых изделий, удаление кремниевой подложки, например методом химического травления, приводит к получению готовых изделий без использования каких-либо режущих инструментов. На сформированной поликристаллической пластине (теплоотводе) впоследствии формируют требуемые полупроводниковые СВЧ приборы.

На рис. 8 (см. вторую сторону обложки) приведена фотография пластин поликристаллического алмаза, выращенного на профилированных кремниевых подложках с различной топологией.

Применением данной технологии решается техническая задача повышения производительности процесса получения изделий из поликристаллического алмаза. Технический результат от использования предложенного технологического процесса заключается в упрощении и удешевлении получения готовых изделий из поликристаллического алмаза. Данная технология позволяет также уменьшать термические напряжения при росте алмазной пленки и делает возможным выращивание более тонких слоев алмаза без трещин и прогибов.

В настоящее время метод роста алмазных поликристаллических слоев на предварительно профилированных кремниевых пластинах с последующим полным химическим травлением кремния является наиболее проработанным методом для разделения изготовленных поликристаллических алмазных пластин на отдельные теплоотводы.

Следует отметить, что все исследуемые способы фрагментирования пластины поликристаллического алмаза имеют свои как преимущества, так и недостатки. Поэтому выбор того или иного способа не очевиден, и дальнейшие исследования по данному вопросу являются актуальными.

Оптимизация конструкции теплоотвода из поликристаллического алмаза с помощью компьютерного моделирования

Один из важных моментов при организации производства теплоотводов из поликристаллического алмаза — это определение их геометрических размеров под требования к конкретным ИЭТ. Наиболее эффективным способом выбора оптимальных размеров теплоотвода является создание численной модели конструкции всего ИЭТ с последующим использованием средств численного моделирования [10, 14]. На рис. 9 (см. вторую сторону обложки) приведена модель мощного СВЧ

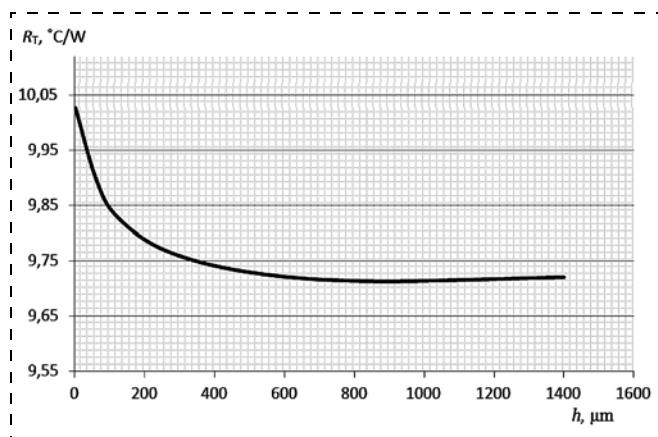


Рис. 10. Зависимость теплового сопротивления от толщины теплоотвода

Fig. 10. Dependence of the thermal resistance on the thickness of a heatsink

транзистора на теплоотводе из поликристаллического алмаза [10].

Изменение теплового режима работы мощных полупроводниковых приборов характеризуется тепловым сопротивлением R_T . Тепловое сопротивление R_T является характерной величиной для каждого типа прибора и зависит от площади полупроводниковых кристаллов, площади, толщины и типа материалов между кристаллами и основанием корпуса, а также от технологического процесса и качества изготовления, оно связывает предельные электрические возможности по передаче мощности с условиями тепловых ограничений. Чем ниже величина R_T , тем быстрее отводится тепло, и тем меньше перегрев всего устройства [8, 10].

График, приведенный на рис. 10, демонстрирует зависимость теплового сопротивления от толщины алмазного теплоотвода. Размеры теплоотвода равны $7,6 \times 7,6$ мм [10]. Значение толщины рассчитывалось до значения 1,4 мм. На графике видно, что в случае данной модели и для данного ИЭТ увеличение толщины позволяет уменьшить тепловое сопротивление модели, но при толщине более 800 мкм тепловое сопротивление перестает уменьшаться и начинает медленно расти.

В работе [9] отмечено, что наибольшие значения выходной СВЧ мощности достигнуты при использовании теплопроводящих подложек из карбида кремния. При этом достигнута мощность до 80 Вт в непрерывном и до 400 Вт в импульсном режимах работы в диапазонах частот 4...8 ГГц и 8...12 ГГц. Дальнейшее повышение уровня выходной СВЧ мощности может быть достигнуто при использовании в мощных нитрид-галлиевых СВЧ транзисторах подложек из CVD поликристаллического алмаза.

В результате проведенного анализа работы [9] установлено следующее:

- применение в нитрид-галлиевых СВЧ транзисторах теплопроводящих подложек на основе полиалмаза, выращенного на кремнии, обеспечивает значения теплового сопротивления транзисторной структуры меньшие, чем у СВЧ транзисторов теплопроводящими подложками на основе карбида кремния при толщинах кремниевого слоя менее 10 мкм;
- нанесение слоя изолирующего полиалмаза на поверхность между истоком, затвором и стоком нитрид-галлиевого СВЧ транзистора при толщине кремния 40 мкм уменьшает тепловое сопротивление транзисторной структуры на 18 %, а пробивные напряжения увеличивает на 20 %.

Следовательно, для наиболее эффективного применения теплоотвода из поликристаллического алмаза необходимо, помимо отработки технологии изготовления теплоотвода, также подбирать соответ-

ствующий типоразмер теплоотвода под конкретное ИЭТ и под конкретные его режимы работы.

Заключение

Методом CVD-осаждения на установке АТВ-100-14 в смеси CH_4/H_2 получены поликристаллические алмазные пленки на кремниевых подложках диаметром 95 мм. Определены оптимальные условия осаждения (роста) пластин поликристаллического алмаза. Получены пластины толщиной 100...600 мкм, шероховатость поверхности которых не превышает 5 мкм. Теплопроводность полученных пластин достигает 1000 Вт/(м·К).

Проведены эксперименты по разделению алмазных пластин с помощью лазера. Выявлены основные проблемы, связанные с загрязнением поверхности реза с образованием по бокам графитовой фазы, негативно сказывающейся на характеристиках пластины. Поэтому разрезанная на отдельные заготовки пластина требует дополнительной очистки, что приводит к удорожанию технологии лазерной резки.

Предложен лазерно-плазмохимический метод фрагментирования поликристаллических алмазных пластин.

Предложен новый способ фрагментирования пластин поликристаллического алмаза путем их выращивания на предварительно профилированных кремниевых пластинах. При стравливании кремния остаются готовые алмазные подложки, которые уже не надо дополнительно разрезать или разламывать. Помимо этого данное решение позволяет уменьшать термические напряжения при росте алмазной пластины и делает возможным выращивание более тонких слоев алмаза без трещин и прогибов. Производительность по сравнению с механическими и лазерными методами разделения значительно увеличилась.

Современный уровень технологии производства поликристаллических алмазных пластин позволяет получать их с размерами и свойствами, пригодными для использования в электронике.

Теплоотвод на основе металлизированного поликристаллического алмаза планируется использовать в рамках производства активных компонентов электронной техники в таких областях, как устройства радиолокации, системы спутниковой связи, коммуникационные компактные устройства, прочие активные элементы. В частности, планируется разработать и изготовить алмазные теплоотводы для кремниевых СВЧ транзисторов, работающих в диапазоне частот 1...2 ГГц, алмазных теплоотводов для предварительных усилителей мощности для активных фазированных антенных решеток, работающих на частотах 8...12 ГГц, алмазных теплоотводов для карбидокремниевых диодов Шотт-

ки, транзисторов на алмажном теплоотводе для импульсных источников электропитания.

Работа выполнена при финансовой поддержке Минобрнауки РФ (соглашение о предоставлении субсидии № 14.607.21.0011, уникальный идентификатор проекта RFMEFI60714X0011).

Список литературы

1. Вихарев А. Л., Горбачев А. М., Духновский М. П., Мучников А. Б., Ратникова А. К., Федоров Ю. Ю. Комбинированные подложки из поли- и монокристаллического CVD-алмаза для алмазной электроники // Физика и техника полупроводников. 2012. Т. 46. № 2. С. 274—277.
2. Алтухов А. А., Вихарев А. Л., Горбачев А. М., Духновский М. П., Земляков В. Е., Зяблюк К. Н., Митенкин А. В., Мучников А. Б., Радищев Д. Б., Ратникова А. К., Федоров Ю. Ю. Исследование свойств монокристаллического алмаза, выращенного из газовой фазы на подложках из природного алмаза // Физика и техника полупроводников. 2011. Т. 45. № 3. С. 403—407.
3. Патент 2102542 РФ. Способ синтеза монокристаллов алмаза и реактор для его реализации / В. И. Бердников, В. П. Подымов, Б. М. Егоров, П. П. Мальцев, Г. А. Гуркина; приоритет 30.05.1995.
4. Патент 2106437 РФ. Способ синтеза монокристаллов алмаза и реактор для его реализации / В. И. Бердников, В. П. Подымов, П. П. Мальцев; приоритет 29.04.1996.
5. Патент 2118672 РФ. Способ синтеза монокристаллов алмаза и реактор для его реализации / В. И. Бердников, В. П. Подымов, П. П. Мальцев, Г. А. Гуркина; приоритет 29.04.1996.
6. Патент 2357001 РФ. Способ получения изделий из поликристаллического алмаза / О. Ю. Кудряшов, И. А. Леонтьев, М. П. Духновский, Ю. Ю. Федоров, А. К. Ратникова; приоритет 25.07.2007.
7. Побойкина Н. В. Использование алмаза в качестве теплоотводящего элемента: методы и устройства выращивания алмазных пленок и пластин // Нано- и микросистемная техника. 2014. № 3. С. 35—46.
8. Глинский И. А., Рубан О. А., Алешин А. Н., Зенченко Н. В., Мельников А. А. Расчет тепловых режимов НЕМТ-транзисторов на основе гетероструктуры AlGaIn/GaN // Нано- и микросистемная техника. 2014. № 11. С. 43—48.
9. Зенченко Н. В., Рубан О. А., Алешин А. Н., Глинский И. А., Мельников А. А. Моделирование нестационарных тепловых режимов НЕМТ-транзистора // Нано- и микросистемная техника. 2014. № 12. С. 3—6.
10. Глинский И. А., Зенченко Н. В. Расчет теплораспределения элемента конструкции для мощных СВЧ-транзисторов // Микроэлектроника. 2015. Т. 44. № 4. С. 269—274.
11. Мальцев П. П., Редькин С. В., Скрипниченко А. С., Побойкина Н. В., Духновский М. П., Смирнова А. К. Технология лазерной резки поликристаллических алмазных пластин // Нано- и микросистемная техника. 2015. № 5. С. 44—48.
12. Патент 2537101 РФ. Способ прецизионной лазерно-плазмохимической резки пластин / В. В. Аристов, П. П. Мальцев, С. В. Редькин, А. С. Скрипниченко, В. Ю. Павлов; приоритет 08.08.2013.
13. Глинский И. А., Редькин С. В., Духновский М. П., Куликов Е. Н., Смирнова А. К., Федоров Ю. Ю., Веденев А. С. Формирование нанокристаллических слоев пористого анодного оксида алюминия на высокоомной кремниевой подложке для роста поликристаллического алмаза // Нано- и микросистемная техника. 2015. № 4. С. 15—20.
14. Иванов К. А., Курмачев В. А., Филатов А. Л. GaN мощные СВЧ транзисторы на подложках из полиалмаза // Электронная техника. Сер. 2. Полупроводниковые приборы. 2012. № 1. С. 82—85.

P. P. Maltsev¹, D. Sc., Acting Director, iuhfseras2010@yandex.ru,
S. V. Redkin¹, Ph. D., Leading Researcher, sergeiredckin@yandex.ru,
I. A. Glinskiy^{1, 2}, Research Engineer of IUHFSE RAS, glinskiy.igor@yandex.ru,
N. V. Poboykina¹, Junior Researcher, karnauhova89@yandex.ru,
M. P. Doukhnovsky³, Chief of Department, istok220@mail.ru,
Yu. Yu. Fedorov³, Ph. D., Deputy Chief of Scientific Department, istok220@mail.ru,
A. K. Smirnova³, Ph. D., Chief of Sector, aleksandrarnatnikova@yandex.ru,
E. N. Kulikov³, Engineer of the 1st Category, ieka_forever@inbox.ru,
S. V. Sherbakov³, Ph. D., Deputy Director General, Research Director, scherbakov@istokmw.ru,
I. A. Leontiev⁴, Ph. D., Director General, twinn_plasma@mail.ru,
O. U. Kudryashov⁴, Head of Laboratory, twinn_plasma@mail.ru,
A. S. Skripnichenko⁵, Leading Engineer, as.skrip@yandex.ru,

¹ Institute of Ultra-high-frequency Semiconductor Electronics, RAS (IUHFSE RAS), Moscow,

² Moscow Technological University, Radio Engineering and Electronics

³ NPP Istok Co. named after Shokin, Fryazino

⁴ TWINN Co., Moscow,

⁵ Research Institute of Precision Machine Manufacturing, Zelenograd

Diamond-Based Heatsink for the Power Microwave MIC

This paper presents the results of development of the technology for production and processing of a promising material for application in the heatsinks of power semiconductors — polycrystalline diamond. Research was done of the technology for manufacture of the wafers of the polycrystalline diamond by CVD deposition. The research included selection of the fragmentation method of the polycrystalline diamond plates, as a result of which new technological laser-plasma-chemical plates cutting method in a low pressure gaseous environment was proposed. This method consists in growing of a polycrystalline diamond on a pre-shaped silicon substrate, with a subsequent etching of silicon.

Keywords: heatsink, polycrystalline diamond, polycrystalline diamond films, CVD, laser cutting, profiled substrate, electronic engineering products

Introduction

Development of the technology for manufacturing of highly effective heatsinks for the electronic technology products (ETP) — power amplifiers on microwave transistors with high output power (tens of watts) is an important task. One of the problems encountered by the developers is generation of heat in the active zone of the microwave transistor, which leads to overheating of the device. High temperatures have a negative influence on the frequency characteristics of the device, its power and reliability.

One of the ways to solve the problem of overheating in ETP of higher power is development of a heatsink, which has a volumetric design and disseminates the heat generated during operation of the powerful devices. An effective dispersion of heat is carried out due to high heat conductivity of the material of the heatsink, which transfers heat from a crystal of the device to the external cooling system (conductive, air or liquid).

Application of a heatsink allows us to improve the characteristics and reliability of the electronic devices of higher power, including the microwave transistors and monolithic integrated circuits (MIC), light-emitting and laser diodes, their matrixes, etc.

The main requirement to a heatsink is the maximal heat conductivity. The traditional materials for this are alumoni-

tride ceramics, beryllium ceramics and copper. But, with account of the increasing power of the semi-conductor devices, the heatsinks from such materials not always meet the requirements of the modern devices. Besides, the material should have high electric insulating properties, in order to avoid formation of a parasitic capacity between a crystal and a heatsink. At the present moment, the most promising material is the monocrystal and polycrystalline diamond due to its physical and chemical characteristics: heat conductivity (table 1), coefficient of thermal expansion and exclusive chemical and thermal resistance, and also important factors are its cost and adaptability to manufacture [1, 6].

For organization of production of the heatsinks from the polycrystalline diamonds it is necessary to meet a number of requirements to the technological process:

- high growth rates of the plates;
- maximal cleanliness of the materials;
- possibility of a growth on the substrates of a big diameter (≥ 100 mm);
- minimal non-uniformity of the plates.

Besides the manufacturing technology for the heatsinks with high heat conductivity suitable for micro- and nanoelectronics, it is also necessary to develop effective ways for division of the heatsinks on a plate into separate chips and to take into account the economic feasibility in selection of the manufacturing technology [7–10].

The main works related to manufacture of the diamond heatsinks were carried out within the framework of the Decision № 218 of the Government of Russia of April, 09, 2010, Contract № 02.G36.31.0005 of May, 23, 2013, between NPP Istok Co. named after Shokhin Co. and Ministry of Science of Russia, Contract № 33/211-13 of February, 22, 2013, between IUHFSE RAS and NPP Istok named after Shokin Co.

The given article is devoted to three key problems, which had to be solved during development of the technological processes for manufacture of highly effective heatsinks from polycrystalline diamonds, from the point of view of organization of their production:

- development and optimization of a method for growing of plates;
- development of a method for fragmentation of the plates into separate "chips";
- optimization of the geometry of the heatsinks by means of computer modeling.

Growing of the polycrystalline diamond plates

Prospects for application of diamonds appeared as a result of development of technology for deposition of the polycrystalline diamonds at low pressure from a gas phase (Chemical Vapor Deposition, CVD). The technology makes it possible to produce the purest films.

CVD deposition of the diamond plates is done from the activated low pressure gas phase (microwave plasma). Usually the gas phase consists of a mixture of hydrogen and volatile carbon-containing substances (methane, acetone vapors, methanol, etc.) with concentrations up to several percent.

Activation of the gas phase pursues two aims. Firstly, it is necessary to achieve a rather high concentration of the active carbon-containing particles. Secondly, it is necessary to create a reagent, which suppresses the growth of the non-diamond forms of carbon (graphite, amorphous carbon). Such a reagent is atomic hydrogen. The speed of the back reaction of the atomic hydrogen with carbon, leading to formation of the volatile compounds during interaction with the graphite-like carbon, is considerably higher, than the speed of interaction with the carbon in the form of a diamond, which ensures primary etch removal of the non-diamond component of the coating. Besides, the atomic hydrogen participates in reconstruction of the surface structure of a growing carbon plate, transforming sp^2 -bonds into tetrahedron sp^3 -bonds.

All the installations for CVD deposition have: a reactionary chamber, a vacuum system, a gas system for supply of a reactionary mixture, and a microwave generator. The deposition boils down to the following: a mixture of hydrocarbon is supplied to the vacuum chamber, where it dissociates in the microwave plasma supported by a powerful microwave radiation. The most widespread and simple mixture for the synthesis of the polycrystalline diamonds is the mixture of methane with hydrogen, at that, obtaining of qualitative films is carried out with the correlation of the components (0,3...1) % CH_4 — (99,7...99) % H_2 . Hydrogen is intended for carrying out of homolytical reactions of splitting of the hydrocarbon molecules in the gas phase, as a result of which the reactive radicals are formed. These radicals, especially the methyl groups (CH_3), diffuse to the substrate surface and also

form C—C bonds for formation of a diamond lattice. Decomposition products (the hydrocarbonic radicals and the atomic hydrogen) are delivered to the substrate heated up to the temperature of 700—1000 °C, necessary for the growth of the diamond polycrystalline structures.

Depending on the character and direction of the influence on the environment-crystal crystallization system there are two ways to influence the growth direction: influence on the gas phase (homogeneous chemical reactions) and influence on the surface of the growing crystal (heterogeneous). However, most often, during the growth of CVD diamonds the correlation of the degree of influence on the gas phase and on the crystallization surface is rather uncertain. The diamond growth rate and its quality depend on the degree of activation, the kind and concentration of the initial carbon-containing compounds, the substrate temperature and other parameters.

At first sight, the task to increase the dimensions of the silicon plates with the diamond polycrystalline films deposited on them can be solved simply enough — it is necessary to replace the traditionally used frequency of 2,45 GHz with 915 MHz. At that, the power density on the substrate falls sharply. For compensation of the phenomenon it is necessary to increase the power of the microwave generator (up to tens and even hundreds of watts). Realization of such solutions requires economic feasibility studies.

A substrate used for the deposition is usually molybdenum or silicon plates. It is possible to deposit diamond films also on other materials resistant to heating in the presence of atomic hydrogen up to 1000 °C, because the formation of the diamond coatings requires heating of the substrate up to 600...1200 °C [1, 2].

The substrate temperature is an important factor for obtaining of the diamond films and structures on their basis. It influences the content of the diamond phase in the film. According to the growth model of a carbon film during CVD deposition the greatest content of the diamond phase is reached at the optimal temperature of the substrate, when, first, the growth rate of the crystalline sp -bounded carbon, determined by the concentration of the torn off sp -bonds of the plate surface and depending on the desorption of hydrogen from the surface, is maximal, and, second, the speed of etching of the sp -bounded carbon exceeds the speed of its growth. At the temperature of the substrate over the optimal level the speed of etching of the sp -bounded carbon is less than the speed of its formation, which leads to graphitization of the plates. At a fall of the temperature of the substrate below the optimal level the condensation of the aromatic molecules on the plate surface intensifies, with their decomposition and formation of amorphous sp^3 - and sp^2 -bounded carbon. In most works on the technology of the thermal CVD deposition of the diamond plates on silicon the maximal content of the diamond phase is reached within the range of 500...900 °C [2].

It should be underlined, that the technologists concentrate their attention on a low-temperature reception of thick diamond films. The minimal substrate temperature for the growth of thick films encountered in literature is 350...400 °C. A decrease of the temperature allows us to receive diamond films on the substrates from any materials [2, 7].

One of the tasks, deserving attention, is research of the mechanism of heteroepitaxial growth, that is, the initial stages of deposition, during which a diamond arises on non-dia-

mond substrates. Several experiments demonstrated that an abrasive processing of the non-diamond substrates reduces time of the beginning of origin of the diamond grains and increases the density of the places of nucleation [1]. This inevitably increases the growth rates of the diamond, because formation of a continuous diamond film, in essence, is the process of crystallization, which occurs through formation of the nuclei, accompanied by a three-dimensional growth of numerous micro crystalline particles up to the moment, when they incorporate into a continuous film. The abrasive processing is usually done by mechanical polishing of a substrate with an abrasive paste (a diamond powder with the sizes of particles in the powder of 0,1...10,0 μm) or with the use of ultrasound.

The growth of the diamond coatings is preceded by the incubatory period, during which nuclei of the diamond phase should be generated on the substrate surface. Depending on the substrate material and conditions, the time of the incubatory period can be measured by minutes and hours. With a view to accelerate the formation of the crystallization centers of the diamond plate, at the initial stage the micro- and nanocrystals of diamonds are used as "the seeds planted" in the substrate surface [1, 2].

The microstructure of the diamond plates and the size of the crystalline particles from nano- up to micrometers can be controlled by changing the conditions of the plasma-chemical deposition, in particular, by means of selection of the gas environment.

During our research of CVD deposition of the polycrystalline diamond films we used ATB-100-14 installation for plasma-chemical deposition with a plasma-chemical reactor on the microwave-discharge basis. The installation ensured growing of the diamond films on big-area substrates, it had an improved level of automation and convenience of service. The installation's characteristics are presented in table 2.

ATB-100-14 installation consists of several parts (fig. 1):

1. Control racks: a computer, a touch screen, a unit of interface boards for control of the external devices, a power supply unit for the microwave generator, +24 V power supply unit for the electronic sensors and flowmeters.

2. Unit-reactor: a chamber-reactor, a gas-vacuum module with a system of control valves, a microwave path including a magnetron unit, an insulator, a tuner, wave guides, cooling elements of the installation with water-flow sensors.

Structure of the gas-vacuum module and chamber is presented in fig. 2.

A substrate holder maintains the temperature during the growth and the subsequent annealing of the diamond film. In the course of growth a significant amount of heat is generated on the substrate (basically due to the electronic bombardment), because of which the substrate holder is supplied with a water cooling system.

In our case the deposition was done on the silicon substrates heated up to 700...800 $^{\circ}\text{C}$ with a speed of 2...6 $\mu\text{m}/\text{h}$. The microwave power was equal to 7,5 kW, frequency — 2,45 GHz, concentration of methane — 2...3 %, concentration of hydrogen — 97...98 %, pressure in the chamber — 90 Torr.

During the research the diamond films were grown on Si substrates with diameter of 100 mm in the microwave-discharge plasma with the use of the reactionary mix of CH_4/H_2 (fig. 3).

The control of the sizes of the crystalline particles of the polycrystalline diamond films was implemented by means of Zeiss EVO MA10 raster electronic microscope. The aperture of the raster electronic microscope was set equal to 20 μm , the magnification was 50 000x. The size of the grain of the crystalline particles was defined as the length of a piece of the line on the screen of the microscope, connecting two points with the biggest sizes of the crystalline particles. Fig. 4 and 5 present photos from the screen of samples № 1 and № 2.

The installation allows us to grow the polycrystalline diamond films of the demanded thickness and sufficiently high quality on the big-diameter plates (~100 mm) and suitable for the heatsinks. The growth rate was 2,7 $\mu\text{m}/\text{h}$.

Fragmentation of the polycrystalline diamond plates grown on flat and profiled silicon plates

One of the still unsolved problems with development of the heatsink is fragmentation of the polycrystalline diamond plates into separate "chips", on which ETP are placed. The technological complexity of fragmentation of the diamond plates is explained by the exceptional hardness of the given material.

The problem can be solved by the use of the mechanical methods of fragmentation, laser cutting and growing on the preliminary profiled silicon substrates with etching of silicon. The above methods are classes of methods and their versions, which have their niches of application, advantages and drawbacks.

The mechanical methods have one thing in common — the processing is done by diamond disks with application of coolants, which is not always acceptable. Moreover, in the processing zone there can be a local overheat, and splits and cracks are formed, the plate surface is dirtied with shavings and requires cleaning, the profile itself has a spread by width.

In our opinion, fragmentation by laser cutting is the most promising method. The laser methods eliminate considerable number of the drawbacks inherent in the mechanical methods. High concentration of the brought energy and locality of the influence allow us to process a small site of a material, with a high speed and short time of influence, without heating of the other parts of the surface and without infringement of its structure and properties, which means a minimum of defects on a plate [11].

However, the laser cutting is not perfect. Its main drawback is emission of a modified material — a graphitized layer from the cut area and its deposition on the already formed instrument structures, which is inadmissible in transition to the topology of the nano-sized devices.

We suggested and developed a laser-plasma-chemical method, when by means of a laser locally, in the cut area, plasma of a certain structure is formed and a "soft" etching of the material occurs without splashing [11—12].

The method boils down to the following: the process goes on in low pressure plasma, in the atmosphere of the gases, which in the ionized state interact actively with the diamond surface and transform it into the volatile compounds, which are evacuated from the reactionary chamber by means of a vacuum pump. Plasma is set on fire in the focus of the laser beam and can move in the necessary direction on the processed surface by means of an optical system or by means of

a mechanical movement of the sample in relation to the local plasma in the focus of the laser beam.

For this method we chose the laser, most suitable for the experiments of cutting of the polycrystalline diamond plates — the laser on copper vapors with the wavelength of 0,5...0,6 μm , output power of 20 W, frequency of the pulse repetition of 10 kHz, and duration of pulses of 15 ns.

An advantage of the proposed method is that the cutting speed in various crystallographic directions is practically the same, since the "local" plasma has high density ($10^{11}...10^{12} \text{ cm}^{-3}$) and the etching speed differences are leveled out. Constant reorganization of the hardware and software is not required. From this point of view, the method is easier, it demands special chemical reagents. At temperatures above 180 °C the products of chemical reactions are volatile and can be easily pumped out. In the area of the laser plasma the temperature exceeds 180 °C, which means, that the process is applicable as solution to the problem of division of a substrate into fragments ("chips"). Low pressure, about $1 \cdot 10^{-3}...1 \text{ Torr}$ (0,13...133,32 Pa), in the reactor is created by means of a spiral vacuum pump.

The quality of the cut is determined by the modes of the laser processing and composition of the gas environment. The plasma-forming gas environment was the mixture, well-known in traditional plasma chemistry, of $\text{CF}_4 + \text{O}_2$, and also $\text{O}_2 + \text{Ar}$. In order to alleviate the initial breakdown argon was added.

Experiments were done for cutting the plates, and as a result, a cutting line was obtained without a fullerene phase and graphite layers, which present in the traditional cutting technologies.

Visualization was done by means of a raster electronic microscope. The results of the traditional laser cutting and of the proposed laser-plasma-chemical method are presented in fig. 6 and 7.

As one can see in the pictures, cutting by the proposed technology (fig. 7) ensures absence of the extraneous carbon materials on the surface of a plate and at an end face of the cut itself; unlike the traditional laser cutting (fig. 6), where the graphite emission on the surface of the plate along the cutting line is well visible.

Also a cardinal new way of fragmentation of the plates, which consists in growing of the polycrystalline diamonds on the profiled silicon substrate [2, 6, 13] was offered. At the beginning a preparation is done of the silicon substrate by cutting flutes on it with formation of a platform, corresponding to the configuration of the finished product. The flutes have the width of the doubled thickness of the film of the finished product, and the depth exceeding the width, which allows us to avoid a diamond deposition on the bottom of the flutes [6]. Then, in the atmosphere of a mixture of methane and hydrogen the polycrystalline diamond film is grown on the surface of a profiled silicon substrate. Since in the flutes the polycrystalline diamond film is absent, and the platforms between the flutes initially had the forms and the sizes of the finished products, removal of the silicon substrate, for example, by the method of chemical etching led to reception of the finished products without use of any cutting tools. The required semiconductor microwave devices were subsequently formed on the produced polycrystalline plate (heatsink).

Fig. 8 (see 2-nd side of cover) presents a photo of the polycrystalline diamond plates, grown on the profiled silicon substrates with different topology.

Application of the technology solves the problem of increasing the productivity of reception of the polycrystalline diamond products. The technical result from the use of the proposed process consists in simplification and cost-reduction of obtaining of the finished products from the polycrystalline diamonds. The given technology also allows us to reduce the thermal stress during the growth of a diamond film and makes it possible to grow thinner diamond layers without cracks and deflections.

The method of growing of diamond polycrystalline layers on the preliminary profiled silicon plates with the subsequent complete chemical etching of silicon is the most well-developed method for division of the produced polycrystalline diamond plates into separate heatsinks.

It is necessary to point out, that all the methods of fragmentation of the polycrystalline diamond plates have their advantages and drawbacks. Therefore, the choice of a method is not obvious, and the further research is necessary.

Optimization of the design of a polycrystalline diamond heatsink by means of computer modeling

One of the important factors in production of the polycrystalline diamond heatsinks is determination of their geometrical sizes in accordance with the requirements to ETP. One of the most efficient ways to select the optimal dimensions of a heatsink is development of a digital design model of all ETP with a subsequent use of the means of digital modeling [10, 14]. Fig. 9 (see 2-nd side of cover) presents a model of a powerful microwave transistor on a polycrystalline diamond heatsink [10].

Change of the thermal mode of the powerful semiconductor devices is characterized by thermal resistance R_{T} , which is a characteristic value for each type of the device and depends on the area of the semiconductor crystals, the area, thickness and materials between the crystals and the case basis, and also on the process and quality of manufacture. It binds the limiting electric possibilities for power transfer with the conditions of the thermal restrictions. The lower is R_{T} , the faster the heat is taken away, and the less is overheat of the whole of the device [8, 10].

The diagram in fig. 10 demonstrates the dependence of the thermal resistance on the thickness of the diamond heatsink. The dimensions of the heatsink are $7,6 \times 7,6 \text{ mm}$ [10]. The thickness was calculated up to 1,4 mm. It is obvious that for the given model and ETP an increase of the thickness allows to reduce the thermal resistance, but at the thickness more than 800 μm the thermal resistance ceases to decrease and starts to grow.

In [9] it is noted, that the greatest values of the output microwave power are reached due to the use of the heatsink substrates from silicon carbide. At that, the power is reached up to 80 W in the continuous mode and up to 400 W in the pulse operating mode in the frequency ranges of 4...8 GHz and 8...12 GHz. The further increase of the output microwave power can be reached due to the use of the substrates from CVD polycrystalline diamonds in powerful nitride-gallium microwave transistors.

As a result of the implemented analysis of the work [9] the following facts were established:

- application in the nitride-gallium microwave transistors of the heatsink substrates on the basis of polydiamond on silicon ensures the values of the thermal resistance of the transistor structure lower, than those of the microwave transistors with the heatsink substrates on the basis of silicon carbide with the thickness of the silicon layer less than 10 μm ;
- deposition of a layer of isolating polydiamond on the surface between the source, the gate and the drain of the nitride-gallium microwave transistor with thickness of silicon of 40 micrometers reduces the thermal resistance of the transistor structure by 18 %, and increases the discharge voltage by 20 %.

Hence, for the most effective application of a polycrystalline diamond heatsink, besides development of the manufacturing technology for production of the heatsink, it is necessary to select the corresponding dimension type of the heatsink in accordance with concrete ETP and its concrete operating modes.

Conclusion

Polycrystalline diamond films on silicon substrates with diameter of 95 mm were received by the method of CVD deposition on ATB-100-14 installation in CH_4/H_2 mixture. The optimal conditions for deposition of the polycrystalline diamond plates were defined. The plates with thickness of 100...600 μm and surface roughness not exceeding 5 μm were obtained. Heat conductivity of the received plates reached 1000 W/(m · K).

Experiments were done for division of the diamond plates by means of a laser. The basic problems were revealed connected with the dirt on the surface of a cut with formation of a graphite phase on each side of it and telling negatively on the plate characteristics. Therefore, a plate, cut into separate workpieces, demanded additional cleaning, which raised the cost of the laser cutting technology.

A laser-plasma-chemical method was proposed for fragmentation of the polycrystalline diamond plates by their growing on the preliminary profiled silicon plates. Etching of silicon produced ready diamond substrates, which required no cutting or breaking. This solution allowed us to reduce the thermal stress during the growth of a diamond plate and made it possible to grow thinner layers of diamonds without cracks and deflections. In comparison with the mechanical and laser methods of division, the productivity was considerably higher.

The level of production of the polycrystalline diamond plates allows us to obtain them with the sizes and properties, suitable for use in electronics.

The heatsink on the basis of the metalized polycrystalline diamond is expected to be used in manufacture of the active components of the electronic technologies, in the radar devices, satellite communication systems, compact communication devices, and other active elements. In particular, it is planned to develop and manufacture the diamond heatsinks for silicon microwave transistors in the range of frequencies of 1...2 GHz, for power preamplifiers, for the active phased antenna lattices on frequencies of 8...12 GHz, for Shottky sili-

con-carbide diodes, for the diamond heatsink transistors for the pulse sources of power supply.

The work was implemented with the financial support of the Ministry of Education and Science (grant agreement № 14.607.21.0011, unique project identifier of RFMEFI60714X0011).

References

1. Viharev A. L., Gorbachev A. M., Duhnovskiy M. P., Muchnikov A. B., Ratnikova A. K., Fedorov Yu. Yu. Combined poly- and monocrystalline CVD diamond substrates for diamond electronics, *Semiconductors*, 2012, vol. 46, no. 2, pp. 274–277.
2. Altuhov A. A., Viharev A. L., Gorbachev A. M., Duhnovskiy M. P., Zemlyakov V. E., Zyablyuk K. N., Mitkin A. V., Muchnikov A. B., Radishhev D. B., Ratnikova A. K., Fedorov U. U. Characterization of single-crystal diamond grown from the vapor phase on substrates of natural diamond, *Semiconductors*, 2011, vol. 45, no. 3, pp. 403–407.
3. Patent 2102542 RF. Sposob sinteza monokristallov almaza i reaktor dlya ego realizatsii / V. I. Berdniko, V. P. Podymov, B. M. Egorov, P. P. Maltsev, G. A. Gurkina; prioritet 30.05.1995.
4. Patent 2106437 RF. Sposob sinteza monokristallov almaza i reaktor dlya ego realizatsii / V. I. Berdnikov, V. P. Podymov, P. P. Maltsev; prioritet 29.04.1996.
5. Patent 2118672 RF. Sposob sinteza monokristallov almaza i reaktor dlya ego realizatsii / V. I. Berdnikov, V. P. Podymov, P. P. Maltsev, G. A. Gurkina; prioritet 29.04.1996.
6. Patent 2357001 RF. Sposob polucheniya izdeliy iz polikristallicheskogo almaza / O. U. Kudryashov, I. A. Leontiev, M. P. Duhnovskiy, U. U. Fedorov, A. K. Ratnikova; prioritet 25.07.2007.
7. Poboykina N. V. Ispolizovanie almaza v kachestve teplootvodyashego elementa: metody i ustroystva vyrashivaniya almaznyh plenok i plastin, *Nano- i mikrosistemnaya tekhnika*, 2014, no. 3, pp. 35–46.
8. Glinskiy I. A., Ruban O. A., Aleshin A. N., Zenchenko N. V., Melnikov A. A. Calculation of the thermal modes in the HEMT based heterostructure AlGaIn/GaN, *Nano- i mikrosistemnaya tekhnika*, 2014, no. 11, pp. 43–48.
9. Zenchenko N. V., Ruban O. A., Aleshin A. N., Glinskiy I. A., Melnikov A. A. Simulation of nonstationary HEMT-transistor thermal modes, *Nano- i mikrosistemnaya tekhnika*, 2014, no. 12, pp. 3–6.
10. Glinskiy I. A., Zenchenko N. V. Computer simulation of the heat distribution element for high-power microwave transistors, *Russian Microelectronics*, 2015, vol. 44, no. 4, pp. 236–240.
11. Maltsev P. P., Redkin S. V., Skripnichenko A. S., Poboykina N. V., Duhnovskiy M. P., Smirnova A. K. Technology for laser cutting of the polycrystalline diamond plates, *Nano- i mikrosistemnaya tekhnika*, 2015, no. 5, pp. 44–48.
12. Patent 2537101 RF. Sposob precizionnoy lazerno-plazmohimicheskoy rezki plastin / V. V. Aristov, P. P. Maltsev, S. V. Redkin, A. S. Skripnichenko, V. U. Pavlov; prioritet 08.08.2013.
13. Glinskiy I. A., Redkin S. V., Duhnovskiy M. P., Kulikov E. N., Smirnova A. K., Fedorov Yu. Yu., Vedenev A. S. Formation of nanocrystalline layers of porous anode aluminium oxide on high-resistance silicon substrate for polycrystalline diamond growing, *Nano- i mikrosistemnaya tekhnika*, 2015, no. 4, pp. 15–20.
14. Ivanov K. A., Kurmachev V. A., Filatov A. L. GaN Power Microwave Transistors Fabricated On Polycrystalline Diamond Substrates, *Eektronnaya tekhnika. Ser. 2: Poluprovodnikovye pribory*, 2012, no. 1, pp. 82–85.

В. А. Мартинович¹, канд. физ.-мат. наук, доц., e-mail: valeriiam@yahoo.com,

И. А. Хорунжий¹, канд. физ.-мат. наук, доц., зав. каф., e-mail: igor.khorunzhii@newmail.ru,

М. С. Русецкий², ст. науч. сотр., e-mail: rusetsky@bsu.by,

Н. М. Казюц², зав. лаб., e-mail: kazuchits@bsu.by

¹ Белорусский национальный технический университет, г. Минск, Беларусь

² Белорусский государственный университет, г. Минск, Беларусь

ТЕПЛОТВОД НА ОСНОВЕ АЛМАЗА СО ВСТРОЕННЫМ ДАТЧИКОМ ТЕМПЕРАТУРЫ

Поступила в редакцию 30.10.2015

На основе синтетического алмаза типа Ib изготовлен теплоотвод со встроенными терморезисторами микрометровых размеров. Теплоотвод представляет собой алмазную пластину, установленную на медный радиатор. Распределение температуры в алмазном теплоотводе от "точечного" источника теплоты мощностью 0,7 Вт измерено с помощью терморезисторов и рассчитано методом численного моделирования. Получено хорошее соответствие между экспериментальными и расчетными данными. Установлено, что кинетика нагрева имеет "быструю" и "медленную" составляющие, характеризующие разогрев алмазной пластины и медного радиатора соответственно. Время установления квазистационарного распределения температуры в алмазном теплоотводе составляет ~10 мс.

Ключевые слова: синтетический алмаз типа Ib, теплоотвод, терморезистор, кинетика нагрева, численное моделирование

Введение

Одним из факторов, ограничивающих миниатюризацию полупроводниковых приборов, является высокая плотность выделяемой мощности, что приводит к перегреву прибора. Для решения этой проблемы требуется рассредоточить концентрированный тепловой поток на большую площадь. Высокая теплопроводность алмаза обеспечивает эффективное распределение теплоты [1—3] от "точечных" источников. Кроме того, алмаз вследствие низкой электропроводности позволяет изолировать полупроводниковый кристалл от металлического корпуса. Использование алмазных теплоотводов целесообразно также в системе охлаждения приборов, чувствительных к изменению температурного режима. Для таких приборов требуется стабилизация и непрерывный контроль рабочей температуры. Местом для оптимального расположения датчика температуры в этом случае является сама приборная структура, а где это невозможно, датчик температуры размещается в материале теплоотвода (алмазе). Интегрированный в алмаз датчик температуры имеет практически идеальный тепловой контакт с теплоотводом и, с учетом высокой теплопроводности алмаза, высокое быстродействие [4].

Чувствительный датчик температуры в алмазной пластине может быть изготовлен методом имплантации ионов бора [5—8]. Технология создания легированных бором термочувствительных слоев хорошо разработана для кристаллов алмаза типа Па с низким (менее 10^{18} см^{-3}) содержанием азота. Однако большинство природных и синтезированных

методом высоких давлений и температур (метод НТНР) алмазов содержат гораздо больше азота (более 10^{19} см^{-3}). В таких алмазах не удастся получить высокие значения проводимости и энергии активации при малых дозах имплантации ионов бора. Это связано с тем, что акцепторная примесь бора компенсируется донорной примесью азота. С увеличением дозы имплантации в окрестности проекционного пробега ионов параллельно развиваются два процесса:

- растет число структурных нарушений, которые при отжиге стимулируют графитизацию;
- формируется перекрывающаяся с валентной примесная (связанная с примесью бора) зона проводимости [5].

При этом проводимость имплантированного слоя возрастает, а энергия активации проводимости уменьшается, что приводит к снижению термочувствительности [6, 7]. Альтернативой ионной имплантации бора для создания проводимости в алмазе может быть его "легирование" дефектами, сопровождающими ионную имплантацию [9, 10]. Тип имплантированного иона в этом случае не имеет существенного значения [11].

Цель работы — изготовление алмазного теплоотвода со встроенным датчиком температуры, исследование и моделирование процессов теплопереноса в нем.

Изготовление датчиков температуры в алмазном теплоотводе с использованием имплантации ионов фосфора

Теплоотводы были изготовлены из кристаллов алмаза, синтезированных методом НРНТ в РУП

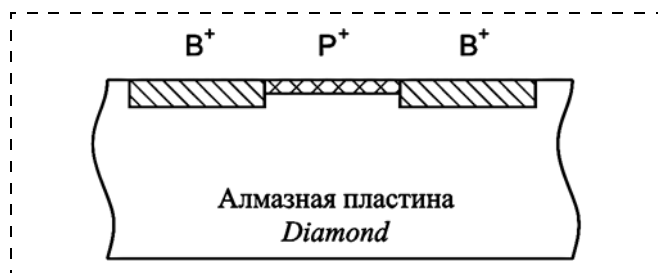


Рис. 1. Схема алмазного терморезистора; B⁺ и P⁺ — слои алмаза, имплантированные ионами бора и фосфора соответственно

Fig. 1. Diamond thermistor; B⁺ and P⁺ — layers of a diamond, implanted with boron and phosphorus ions, respectively

"Адамас БГУ" [12—15]. Средняя концентрация основных технологических примесей в алмазах составляла $4 \cdot 10^{19}$ и $2 \cdot 10^{18} \text{ см}^{-3}$ для азота и никеля соответственно. Кристаллы разрезались алмазными дисками параллельно плоскости (100) на заготовки толщиной 400...500 мкм и механически полировались с двух сторон до получения плоскопараллельных пластин толщиной около 300 мкм. Шероховатость полированной поверхности пластин составила ~10...15 нм. Для изготовления теплоотводов использовали пластины, вырезанные из центральной части кристалла, размером не менее 4×4 мм. На одной из поверхностей пластин методами фотолитографии и ионной имплантации формировалась матрица терморезисторов. Схематическое изображение терморезистора приведено на рис. 1.

Контактные области терморезисторов размером $200 \times 200 \text{ мкм}$ создавались имплантацией ионов бора с вариацией энергии в диапазоне 25...100 кэВ и суммарной дозой $2 \cdot 10^{16} \text{ см}^{-2}$. Активация проводимости внедренного бора достигалась отжигом в вакуумной печи с графитовым нагревателем при

1450 °С в течение одного часа. Набор энергий имплантации использовался для создания квазиоднородного легированного бором слоя глубиной около 0,2 мкм, который полностью не удалялся при химической обработке пластин после отжига. Высокая доза имплантации использовалась для формирования при отжиге примесной зоны, которая перекрывалась с валентной зоной и имела близкую к нулю энергию активации проводимости [5, 6, 11].

Расположенные между контактами термочувствительные области размером $200 \times 200 \text{ мкм}$ формировались имплантацией ионов фосфора с энергией 180 кэВ дозой $1 \cdot 10^{15} \text{ см}^{-2}$ с последующим отжигом при 500 °С. Фактором, определяющим выбор ионов фосфора, была величина их энергии имплантации в стандартном технологическом процессе, позволяющая создавать слой структурных нарушений достаточно глубоко (0,2 мкм) от поверхности. Доза имплантации была выбрана из анализа дозовых зависимостей проводимости и отжига имплантированного слоя [9, 10]. Результаты исследований приведены на рис. 2.

Как видно на рис. 2, а, начиная с дозы 10^{15} см^{-2} , наблюдается быстрый рост проводимости имплантированного слоя (сплошная линия), сопровождающийся уменьшением энергии активации проводимости (штриховая линия). При дозах имплантации менее 10^{15} см^{-2} проводимость и энергия активации слабо зависят от дозы имплантации, а разброс этих параметров в пределах даже одной пластины очень велик. Например, проводимость некоторых резисторов вследствие неоднородного распределения примесей и дефектов в алмазной пластине [13—15] может различаться на порядок. Все это затрудняет управление проводимостью и ее энергией активации путем изменения дозы имплантации.

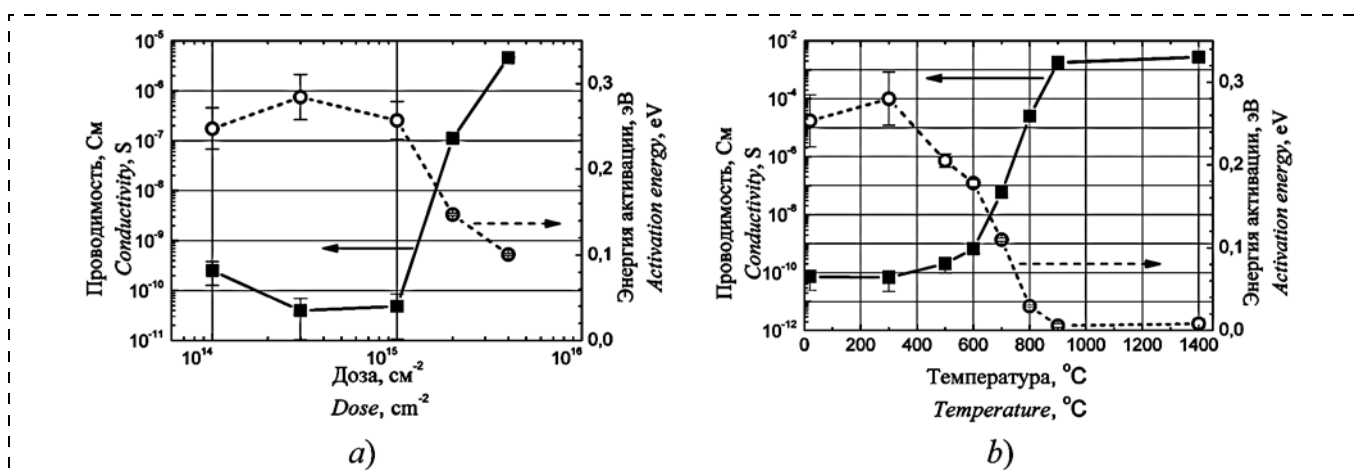


Рис. 2. Зависимость проводимости и энергии активации проводимости имплантированного ионами фосфора слоя от: а — дозы имплантации; б — температуры изохронного (60 мин) отжига для дозы имплантации 10^{15} см^{-2}

Fig. 2. Conductivity and the activation energy of conductivity of the layer implanted with phosphorus ions from: а — implantation dose; б — temperature of isochronal (60 min) annealing for implantation dose of 10^{15} см^{-2}

Более точное управление проводимостью и энергией активации может быть осуществлено варьированием условий отжига имплантированных слоев. Оказалось [9, 10], что характер изменения электрических параметров имплантированных слоев алмаза при отжиге определяется дозой имплантированной примеси. Например, в слоях, имплантированных ионами фосфора дозой 10^{14} см^{-2} , проводимость уменьшается с ростом температуры отжига. Уменьшение проводимости авторы работы [16] связывают с отжигом радиационных дефектов междоузельного типа и восстановлением кристаллической решетки алмаза. Для дозы 10^{15} см^{-2} (рис. 2, *b*), наоборот, наблюдается резкий рост проводимости с одновременным уменьшением энергии активации при температурах отжига выше 500...600 °С. Различный ход кривых отжига обусловлен тем, что доза 10^{14} см^{-2} лежит ниже, а 10^{15} см^{-2} — выше критической дозы аморфизации алмаза [11]. При отжиге без стабилизирующего давления аморфный слой алмаза трансформируется в графитоподобный. Перестройка кристаллической решетки сопровождается повышением проводимости и снижением энергии активации проводимости в имплантированном слое.

Таким образом, имплантацией ионов фосфора дозами выше критической и последующим термическим отжигом в синтетическом НРНТ алмазе были сформированы терморезисторы с параметрами, пригодными для практического применения.

Распределение температуры в алмазном теплоотводе. Эксперимент и моделирование

Исследования характеристик алмазного теплоотвода проводили в условиях, имитирующих условия эксплуатации мощных полупроводниковых приборов. Пластина НРНТ алмаза с терморезисторами (рис. 3, *a*, см. третью сторону обложки) устанавливалась на медный радиатор. Толщина алмазной пластины составляла 360 мкм, площадь — 16 мм^2 , размеры медного радиатора — $62 \times 42 \times 4,9 \text{ мм}$. Тепловой контакт между алмазной пластиной и медным радиатором обеспечивался слоем теплопроводящей пасты марки КПТ-8 толщиной 10 мкм. Тепловыделение от работающего прибора имитировала одна из контактных площадок терморезистора, которая использовалась в качестве нагревателя. С помощью игольчатых зондов к контактной площадке подводилась электрическая мощность 0,7 Вт. Длительность нарастания электрического сигнала составляла не более 1 мкс. Матрица терморезисторов вокруг нагревателя позволяла исследовать распределение температуры в алмазной пластине. Для получения абсолютных значений температуры терморезисторы предварительно калибровались на разработанной нами автоматизи-

рованной установке для измерения температурных зависимостей проводимости [17].

На рис. 3, *b* (см. третью сторону обложки) показано установившееся распределение температуры вокруг "точечного" нагревателя размером $200 \times 200 \text{ мкм}$ при выделении мощности 0,7 Вт, полученное методом численного моделирования с использованием прикладного программного пакета ANSYS для температуры окружающей среды 20 °С. Форма и размеры алмазной пластины и медного радиатора в компьютерной модели соответствуют экспериментальному образцу. Значения теплофизических параметров, используемых при моделировании, приведены в таблице. Как видно на рис. 3, *b*, рассчитанный максимальный перегрев алмазного теплоотвода относительно температуры окружения составляет 2,4 °С, а перепад температуры в пределах алмазной пластины не превышает 1,4 °С.

Рассчитанное и измеренное экспериментально с помощью терморезисторов №№ 1—7 (см. рис. 3, *a*) распределения температуры в алмазной пластине приведены на рис. 4, *a*. Снижение температуры при удалении от источника теплоты наблюдается для обеих зависимостей. Данные расчета превышают экспериментально измеренные. Ход экспериментальной и рассчитанной кривых хорошо описывается степенными функциями с показателем степени $-0,36$ и $-0,20$ соответственно. Экстрапо-

Значения теплофизических параметров
Thermophysical properties used in the simulation

Параметр Parameter	Значение параметра Value	Литературный источник Literary source
Плотность, кг/м^3 Density, kg/m^3		
Алмаз Diamond	3515	[18]
Медь Copper	8900	[19]
КПТ-8 KPT-8	1500	[19]
Теплопроводность, $\text{Вт/(м} \cdot \text{К)}$ Thermal conductivity, $\text{W/(m} \cdot \text{K)}$		
Алмаз Diamond	2000	[18]
Медь Copper	400	[19]
КПТ-8 KPT-8	2	[19]
Удельная теплоемкость, $\text{Дж/(кг} \cdot \text{К)}$ Specific heat, $\text{J/(kg} \cdot \text{K)}$		
Алмаз Diamond	515,5	[18]
Медь Copper	395	[19]
КПТ-8 KPT-8	500	[19]

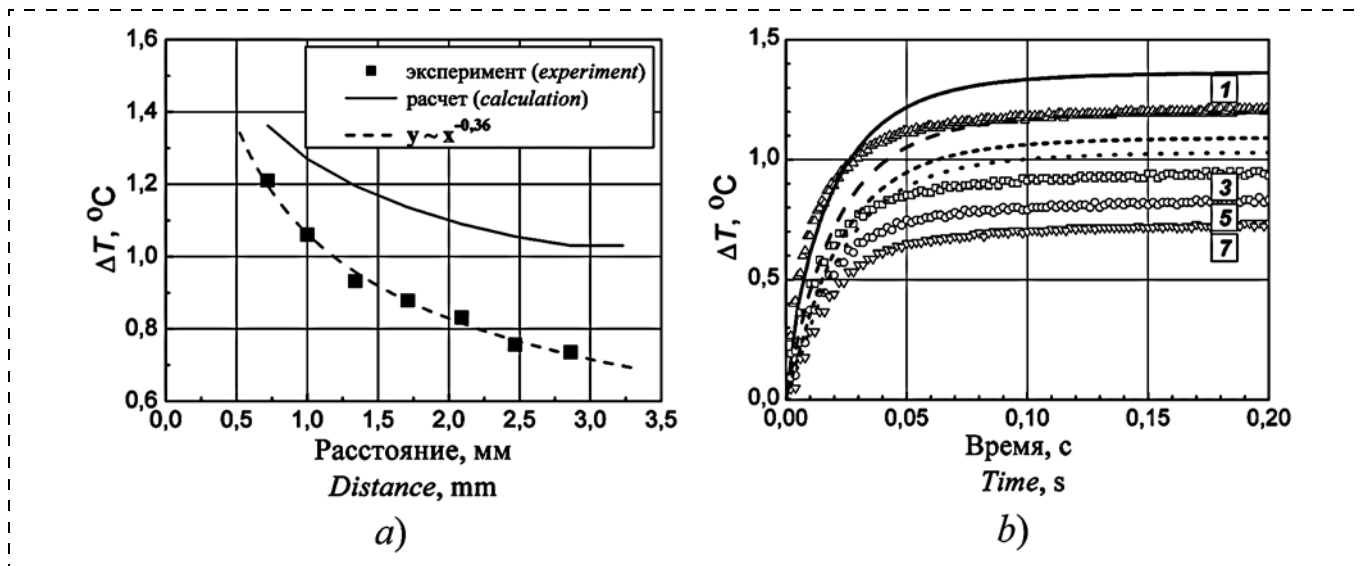


Рис. 4. Перегрев алмазной пластины относительно 20 °С на различных расстояниях от нагревателя (а), кинетики нагрева участков алмазной пластины в местах расположения терморезисторов №№ 1, 3, 5, 7 (б). Точки — эксперимент, линии — расчет

Fig. 4. Overheating of the diamond plate relatively to 20 °C at the different distances from the heater (a), the heating kinetics of the areas of the diamond plate at thermistors' locations №№ 1, 3, 5, 7 (b). Points — the experiment, line — the calculation

ления экспериментальной кривой к началу оси абсцисс (области тепловыделения) позволяет оценить максимальную температуру перегрева алмазного теплоотвода, которая составляет всего 1,8 °С, а перепад температуры по пластине составляет около 1,0 °С. По мере удаления от источника теплоты разность между данными эксперимента и расчета монотонно возрастает (с 0,15 до 0,29 °С для ближнего и дальнего терморезисторов соответственно). Наиболее вероятными причинами этих расхождений могут быть не учтенные в модели процессы конвекционного и излучательного теплообмена с окружающей средой и др.

На рис. 4, б приведены кинетики нагрева различных участков алмажной пластины, измеренные с помощью терморезисторов №№ 1, 3, 5, 7 и полученные методом численного моделирования. Видно, что экспериментально измеренные и рассчитанные кривые нагрева имеют подобный вид и содержат две составляющие. Быстрый рост температуры через 30...40 мс существенно замедляется. Далее наблюдается медленное повышение температуры с выходом на квазистационарные значения, для которых измеренная и рассчитанная температуры различаются на 0,15...0,29 °С. Следовательно, численное моделирование кинетических процессов, в целом, правильно описывает перенос теплоты в исследуемой структуре и может быть использовано для расчета и оптимизации систем охлаждения.

Для количественного описания процессов переноса теплоты в системе "алмазная пластина — теплопроводящая паста — металлический радиатор" была проведена аппроксимация кинетики нагрева

в каждой локальной области алмажной пластины суммой двух экспоненциальных функций:

$$T = T_0 + A_1 \left(1 - \exp\left(-\frac{t}{\tau_1}\right) \right) + A_2 \left(1 - \exp\left(-\frac{t}{\tau_2}\right) \right), \quad (1)$$

где T_0 — температура окружающей среды; A_1 и A_2 — весовые коэффициенты "быстрой" и "медленной" составляющих; τ_1 и τ_2 — постоянные времени нагрева.

Постоянная времени нагрева τ [20] использовалась для количественной оценки быстродействия алмазных терморезисторов. Рассчитанные из формулы (1) значения постоянной времени "быстрой" и "медленной" составляющих процесса нагрева различаются более чем на порядок и составляют 10 и 450 мс соответственно.

Для экспериментального подтверждения природы "медленной" составляющей кинетики нагрева алмазная пластина устанавливалась на разные радиаторы. На рис. 5 показаны кривые нагрева алмажной пластины при использовании радиаторов из коррозионно-стойкой стали и меди. "Быстрые" составляющие кинетики в обоих случаях практически одинаковые, а "медленные" различаются. Использование радиатора из коррозионно-стойкой стали (2 × 2 см) приводит к непрерывному повышению температуры системы "алмазная пластина — радиатор", тогда как радиатор из меди (3 × 3 см) с более высокой теплопроводностью отводит теплоту более эффективно и предотвращает перегрев системы.

Наличие "быстрой" и "медленной" составляющих в кинетике нагрева имеет следующее физическое объяснение. После включения нагревате-

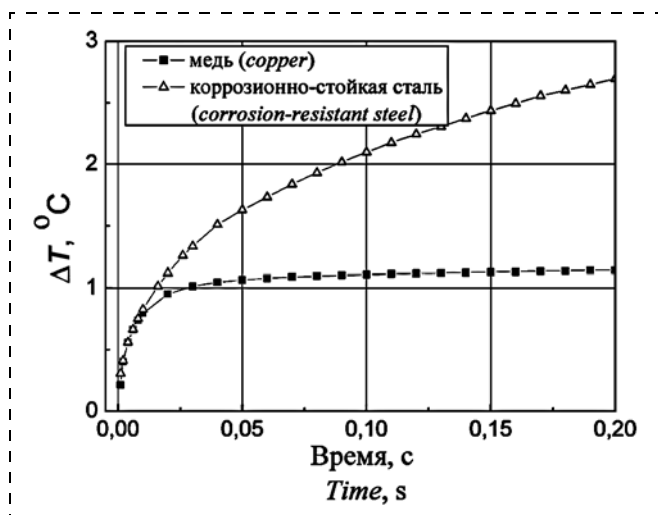


Рис. 5. Экспериментально измеренные кинетики нагрева алмазной пластины при использовании разных радиаторов

Fig. 5. Experimental heating kinetics of the diamond plate using different radiators

ля, вследствие высокой теплопроводности алмаза, происходит быстрое прогревание алмазной пластины. Характерное время выравнивания температуры t_1 в алмазной пластине было оценено по формуле [21]

$$t \sim \frac{r^2 c \rho}{\lambda}, \quad (2)$$

где r , c , ρ , λ — линейный размер, удельная теплоемкость, плотность и коэффициент теплопроводности пластины соответственно. Расчетное значение $t_1 = 14$ мс хорошо согласуется со значением τ_1 , полученным при аппроксимации экспериментальных данных. Дальнейший рост температуры алмазной пластины возможен после прогревания радиатора. Этот процесс определяет "медленную" составляющую в кинетике нагрева. Оценка времени выравнивания температуры в медном радиаторе на расстояниях, сравнимых с толщиной радиатора, дает значение $t_2 = 210$ мс, что является величиной одного порядка с τ_2 из эксперимента.

Отвод теплоты от алмазной пластины к медному радиатору осуществляется через слой пасты КПТ-8, теплопроводность которой существенно меньше, чем теплопроводность алмаза и меди, вследствие чего на границе алмаз — паста создается барьер для распространения теплоты. Поток теплоты j через слой пасты определяется законом Фурье:

$$j = \lambda \frac{dT}{dx} S, \quad (3)$$

где λ — коэффициент теплопроводности пасты; dT — разность температур между "верхней" и "нижней" поверхностями пасты; dx — толщина слоя пасты; S — площадь контакта алмаз — паста — ра-

диатор. Повышение температуры алмазной пластины прекратится после того, как поток теплоты от источника станет равным тепловому потоку через контактную поверхность алмаз — паста — радиатор. При заданном значении коэффициента теплопроводности пасты, которое обычно не превышает $2...7$ Вт/(м · К), формируемая разность температур dT будет определяться площадью контакта S и толщиной слоя пасты dx . Для того чтобы разность температур между алмазом и медным радиатором была минимальной, что является важным фактором для охлаждения прибора, нужно увеличивать площадь контакта, т. е. размер самой алмазной пластины, и/или минимизировать тепловое сопротивление переходной области алмаз — радиатор.

Заключение

На основе синтетического алмаза типа Ib изготовлены экспериментальные образцы теплоотводов со встроенными датчиками температуры. Кинетика нагрева алмазного теплоотвода содержит две составляющие, характеризующие разогрев алмазной пластины и металлического радиатора соответственно. Время установления квазистационарного распределения температуры в алмазном теплоотводе составляет десятки миллисекунд. В условиях, имитирующих работу "точечного" полупроводникового прибора мощностью $0,7$ Вт, максимальный перегрев алмазной пластины площадью 16 мм² и толщиной $0,36$ мм, установленной на медный радиатор, составляет $1,8$ °C, а перепад температуры по поверхности пластины — $1,0$ °C.

Численное моделирование процессов распространения теплоты с использованием программного пакета ANSYS корректно описывает систему "алмазная пластина — теплопроводящая паста — медный радиатор", что позволяет прогнозировать величину и кинетику нагрева алмазного теплоотвода, оптимизировать системы охлаждения.

Список литературы

1. Моряков О. С. Алмазные теплоотводы в конструкции полупроводниковых приборов // Обзоры по электронной технике. Сер. 2. "Полупроводниковые приборы". М.: Электроника, 1982. Вып. 1 (857). С. 1—46.
2. Ланин В., Телеш Е. Алмазные теплоотводы для изделий электроники повышенной мощности // Силовая электроника. 2008. № 3. С. 120—124.
3. Ральченко В., Конов В. CVD-алмазы. Применение в электронике // Электроника: Наука, Технология. Бизнес. 2007. № 4. С. 58—67.
4. Бормашов В. С., Буга С. Г., Бланк В. Д., Кузнецов М. С. и др. Быстродействующие терморезисторы из синтетических монокристаллов алмаза // Приборы и техника эксперимента. 2009. № 5. С. 134—139.
5. Мельников А. А., Зайцев А. М., Курганский В. И., Шилов А. Я. и др. Полупроводниковые структуры p -типа на природном алмазе // Алмаз в электронной технике. М.: Энергоатомиздат. 1990. С. 228—238.

6. Job R., Denisenko A. V., Zaitsev A. M., Werner M., et al. Temperature Sensor On Boron Ion Implanted Diamond // MRS Proceedings. 1995. Vol. 416. P. 249–254.
7. Werner M., Job R., Zaitsev A. M., Fahrner W. R., et al. Relationship between Resistivity and Boron Doping Concentration of Single and Polycrystalline Diamond // Phys. stat. sol. (a). 1996. Vol. 154. P. 385–393.
8. Зяблюк К. Н., Митягин А. Ю., Талипов Н. Х., Чучева Г. В. и др. Технология создания легированных бором слоев на алмазе // Технология и конструирование в электронной аппаратуре. 2012. № 5. С. 39–43.
9. Русецкий М. С., Казюцич Н. М., Казюцич В. Н., Наумчик Е. В. Формирование термочувствительных элементов в синтетическом алмазе с использованием радиационных дефектов ионной имплантации // Матер. 4-й Международной научно-технической конференции "Приборостроение—2011". М.: БНТУ. 2011. С. 393–394.
10. Rusetsky M. S., Kazuchits N. M., Naumchik E. V. The use of ion implantation damage for thermosensitive layer formation in HPNT diamond // Proc. of 4th International Conference "Radiation Interaction With Material and Its Use in Technologies 2012". Kaunas. 2012. P. 320–323.
11. Зезин Р. Б., Храброва Т. В., Моряков О. С., Лобанов Ф. И. Полупроводниковые алмазы // Обзоры по электронной технике. Сер. 2. "Полупроводниковые приборы". М.: Электроника. 1985. Вып. 2 (1097). С. 1–48.
12. Соловьев В. С., Гусаков Г. А., Крекотень О. В., Семенов Е. А. и др. Состав и пространственное распределение атомов примесей в монокристаллах синтетического алмаза // Вестн. Белорус. ун-та. Сер. 1. 2000. № 2. С. 31–37.
13. Казюцич Н. М., Русецкий М. С., Наумчик Е. В., Мартинович В. А. Методика визуальной оценки распределения примесей и дефектов в синтетических HPNT алмазах // Матер. VIII Междунар. научно-практической конф. "Актуальные проблемы современных наук—2012". Пшемысль: Наука и образование. 2012. Т. 44. Физика. Химия и химические технологии. С. 32–35.
14. Казюцич Н. М., Коновалова А. В., Азарко И. И., Якоуцук Ф. Ф. и др. Влияние условий синтеза на примесный состав монокристаллов алмаза марки СТМ "Алмазот" // Неорганические материалы. 2014. Т. 50. № 2. С. 1449–1461.
15. Gaubas E., Ceponis T., Jasiunas A., Kalendra V., et al. Lateral scan profiles of the recombination parameters correlated with distribution of grown-in impurities in HPNT diamond // Diamond and Related Materials. 2014. Vol. 47. P. 15–26.
16. Kalish R., Reznik A., Prawer S., Saada D., et al. Ion-Implantation-Induced Defects in Diamond and Their Annealing: Experiment and Simulation // Phys. Stat. Sol. (a). 1999. Vol. 174. P. 83–99.
17. Русецкий М. С., Казюцич Н. М. Автоматизированная установка для измерения температурных зависимостей проводимости на базе ИППП-1 // Матер. 7-й Междунар. научно-техн. конф. "Приборостроение—2014". М.: БНТУ. 2014. С. 131–133.
18. Физические свойства алмаза: Справочник / Под ред. Н. В. Новикова. Киев: Наукова думка. 1987. 189 с.
19. ГОСТ 28626—90 Терморезисторы косвенного подогрева с отрицательным температурным коэффициентом сопротивления. Общие технические условия.
20. Теплопроводность и теплофизические свойства веществ и материалов: справочник. URL: <http://thermalinfo.ru/>
21. Лыков А. В. Теория теплопроводности. М.: Высшая школа. 1967. 392 с.

V. A. Martinovich¹, Ph. D., Associate Professor, valeriam@yahoo.com, I. A. Khorunzhii¹, Ph. D., Head of Chair, igor.khorunzhii@newmail.ru, M. S. Rusetsky², Senior Researcher, rusetsky@bsu.by, N. M. Kazuchits², Head of Laboratory, kazuchits@bsu.by

¹ Belarussian National Technical University, Minsk, Belarus

² Belarussian State University, Minsk, Belarus

Diamond Heat Sink with an Embedded Temperature Sensor

The micron-sized embedded thermoresistors were manufactured for the heat sink made of Ib type synthetic diamond. The heat sink consists of a diamond plate installed on a copper radiator. The temperature distribution inside the diamond heat sink from a "point" heat source with power of 0,7 W was measured with the use of the thermoresistors. In addition, it was calculated by the method of numerical simulation. Good correlation between the experimental and calculated data was obtained. It was discovered that the heating kinetic of the diamond heat sink had a "fast" and a "slow" components, which characterized heating of the diamond plate and the copper radiator, respectively. Time to reach a quasi-stationary temperature distribution in the diamond heat sink was about 10 ms.

Keywords: synthetic diamond of Ib type, heat sink, thermoresistor, heating kinetic, numerical simulation

Introduction

One of the factors limiting the miniaturization of the semiconductor devices is high density of the allocated power, which leads to overheating of the device. To solve the problem, it is needed to disperse the concentrated heat flux over a larger area. The high thermal conductivity of a diamond provides efficient distribution of heat [1–3] from the "point" sources. Furthermore, a diamond due to the low electrical conductivity allows to isolate the semiconductor chip from the metal housing. The use of a diamond heat sink is also advisable in the cooling system of the devices, which are sensitive to temperature changes. They require stabilization and continuous monitoring of the operating temperature. The instrumental structure is the optimum place for arrangement of the temperature sensor, and where this is not possible, the sensor is

placed in a heat sink material (diamond). The diamond-integrated temperature sensor has a near perfect thermal contact with a heat sink and, taking into account the high thermal conductivity of a diamond, has a high-speed performance [4].

The temperature sensor in the diamond plate may be fabricated by implantation of boron ions [5–8]. The technology for creating of boron-doped heat-sensitive layers is well designed for the diamond crystals of IIa-type with low nitrogen content (less than 10^{18} cm^{-3}). However, the most of natural diamonds and diamonds synthesized at high pressures and temperatures (HTHP method) contain more nitrogen (more than 10^{19} cm^{-3}). They cannot obtain a high conductivity and the activation energy at low doses of ion implantation of boron. This is caused by the fact that the acceptor impurity of boron is compensated by the donor impurity of nitrogen. With

the increase in the implantation dose, two processes develop in the vicinity of the projection range of ions: i) the number of structural defects increases, which at annealing stimulate the graphitization process; ii) the valence's overlapping impurity conduction band becomes formed (associated with the boron impurity) [5]. At this, the conductivity of the implanted layer increases, while the activation energy of the conductivity decreases, resulting in lower temperature sensitivity [6, 7]. The boron "doping" with the defects is an alternative to the boron ion implantation to establish the conductivity in a diamond [9, 10]. The type of implanted ion is not significant [11].

The objective of the article is manufacturing of the diamond heat sink with built-in temperature sensor, research and modeling of heat transfer in it.

Production of temperature sensors in a diamond heat sink using implantation of phosphorus ions

The heat sinks are made of diamond crystals synthesized by HPHT in RUE "Adamas BSU" [12–15]. The average concentration of the main impurities in the diamonds was $4 \cdot 10^{19}$ and $2 \cdot 10^{18} \text{ cm}^{-3}$ for nitrogen and nickel, respectively. The crystals were cut by the diamond blades parallel to the plane (100) on the workpieces with the thickness of 400...500 μm and were mechanically polished on the both sides to obtain a plane-parallel plates with the thickness of about 300 μm . The roughness of the polished surface of the wafer is $\sim 10\text{...}15 \text{ nm}$. The plates from the central part of the crystal with the size not less than $4 \times 4 \text{ mm}$ were used to manufacture the heat sinks. The matrix of thermistors was formed on one surface of the wafer by photolithography and ion implantation. The schematic representation of the thermistor is shown in fig. 1.

The contact areas of the thermistors with the sizes of $200 \times 200 \text{ }\mu\text{m}$ were created by ion implantation of boron with the variation in the energy range of 25...100 keV and the total dose of $2 \cdot 10^{16} \text{ cm}^{-2}$. Activation of conductivity of the implanted boron was achieved by annealing in a vacuum furnace with a graphite heater at 1450 °C for one hour. The set of implantation energies was used to create a quasi-uniform boron-doped layer with the depth of about 0,2 μm , which was not completely removed at chemical processing of plates after annealing. The high dose of implantation was used to form an impurity band during annealing, which was overlapped with the valence band and had an activation energy of conductivity close to zero [5, 6, 11].

The heat-sensitive areas with the sizes $200 \times 200 \text{ }\mu\text{m}$ located between the contacts were formed by implantation of phosphorus ions with the energy of 180 keV by the dose of $1 \cdot 10^{15} \text{ cm}^{-2}$, followed by annealing at 500 °C. The implantation energy in a standard technological process became the factor determining the choice of phosphorus ions, allowing to create a layer of structural defects sufficiently deep (0,2 μm) from the surface. The implantation dose was selected from the analysis of dose dependences of conductivity and annealing of the implanted layer [9, 10]. The results of the study are shown in fig. 2.

As shown in fig. 2, *a*, starting from a dose of 10^{15} cm^{-2} there is a rapid increase in the conductivity of the implanted layer (solid line), accompanied by a decrease in the activation energy of conductivity (dashed line). At the implantation doses less than 10^{15} cm^{-2} , the conductivity and activation energy weakly dependent on the implantation dose, and the spread within the parameters of even of one plate is very large. For

example, the conductivity of some resistors due to the inhomogeneous distribution of impurities and defects in the diamond plate [13–15] can vary by an order of magnitude. All this makes it difficult to control the conductivity and its activation energy by changing the implantation dose.

More precise control of conductivity and activation energy can be accomplished by varying the annealing conditions of the implanted layers. It was found [9, 10] that the behavior of the electrical parameters of the implanted layers of a diamond upon annealing is determined by the dose of the implanted impurity. For example, in the layers implanted by phosphorus with the dose of 10^{14} cm^{-2} , the conductivity decreases with increasing of the annealing temperature. Reduction of the conductivity, the authors of the article [16] associate with annealing of the radiation defects of the interstitial type and restoration of the crystal lattice of a diamond. For a dose of 10^{15} cm^{-2} (fig. 2, *b*), on the contrary, there is a sharp increase in conductivity while simultaneously reducing the activation energy of annealing at the temperatures above of 500...600 °C. Various shapes of the annealing curves are caused by the fact that the dose of 10^{14} cm^{-2} is lower, and the dose of 10^{15} cm^{-2} is above the critical dose of diamond amorphization [11]. The amorphous diamond layer transforms into graphite at annealing without the stabilizing pressure. The restructuring of the crystal lattice is accompanied by an increase in the conductivity and decrease in the activation energy of conductivity in the implanted layer.

Thus, the thermistors with the parameters suitable for practical use were formed by implantation of phosphorus ions above the critical dose, followed by annealing in synthetic HPHT diamond.

Temperature distribution in the diamond heat sink. Experiment and modeling

The studies of the characteristics of the diamond heat sink were held in conditions simulating the operation of the high-power semiconductor devices. HPHT diamond plate with the thermistors (fig. 3, *a*) was placed on a copper heat sink. The thickness of the diamond plate was 360 μm , the area — 16 mm^2 , the dimensions — $62 \times 42 \times 4,9 \text{ mm}$. The thermal contact between the diamond plate and the heatsink was ensured by the layer of thermal paste KPT-8 with the thickness of 10 μm . The heat from the operating unit was simulated by the one of the contact pads of the thermistor, which was used as a heater. The electric power of 0,7 W was supplied with the needle probes to the contact pad. The duration of the rise of the electric signal was less than 1 μs . The matrix of the thermistors around the heater allowed to investigate the distribution of temperature in the diamond plate. To obtain the absolute values of the temperature, the thermistors were pre-calibrated on the developed automated unit for measuring of the temperature dependence of the conductivity [17].

Fig. 3, *b* shows the temperature distribution around the "point" heater with the size of $200 \times 200 \text{ }\mu\text{m}$ at allocation of power of 0,7 W, obtained by the numerical simulation using the software application package ANSYS for the ambient temperature of 20 °C. The shape and size of the diamond plate and the heat sink in the computer model are suit to the experimental sample. The thermophysical parameters used in the simulation are shown in the table. As can be seen from fig. 3, *b*, the maximum calculated superheat of the diamond heat sink relatively to the ambient temperature is 2,4 °C, and the temperature gradient within the diamond plate is not over 1,4 °C.

The temperature distributions in the diamond plate calculated and experimentally measured using thermistors №№ 1—7 (fig. 3, *a*) are shown in fig. 4, *a*. A decrease in temperature at a distance from the source of heat is observed for both dependencies. The calculation values exceed the experimental ones. The course of the experimental and the calculated curves is well described by a power function with an exponent — 0,36 and — 0,20, respectively. Extrapolation of the experimental curve to the top of the x-axis (the heating zone) allows to estimate the maximum temperature of the diamond heat sink overheating, which is only 1,8 °C, and the temperature gradient over the plate is about 1,0 °C. As the distance from the heat source, the difference between the experimental value and the calculation value monotonically increases (from 0,15 to 0,29 °C for the near and far thermistors, respectively). The convection and radiative heat transfer with the environment and others which did not accounted in the model are the most likely causes of these differences.

Fig. 4, *b* shows the kinetics of heating of the various regions of the diamond plate, measured by the thermistors №№ 1, 3, 5, 7, and obtained by the numerical simulation. It can be seen that the experimentally measured and calculated heating curves have a similar look and contains two components. The rapid increase in temperature after 30...40 ms significantly slowed down. The next there is a slow increase in temperature with the yield to the quasi-stationary values for which the measured and calculated temperatures differ by 0,15...0,29 °C. Consequently, the numerical modeling of the kinetics, in general, correctly describes the transfer of heat in the structure and can be used for calculation and optimization of the cooling systems.

An approximation of the kinetics of heating in each local area of the diamond plate by the sum of two exponential functions was carried out for a quantitative description of the heat transfer in the system of "diamond plate — the thermal paste — metal radiator":

$$T = T_0 + A_1 \left(1 - \exp\left(\frac{-t}{\tau_1}\right) \right) + A_2 \left(1 - \exp\left(\frac{-t}{\tau_2}\right) \right), \quad (1)$$

where T_0 — the ambient temperature; A_1 and A_2 — weights of the "fast" and "slow" components; τ_1 and τ_2 — heating time constants.

τ [20] was used to quantify evaluate the diamond thermistors (1). Time constant of "fast" and "slow" heating components calculated from the formula differ by more than an order of magnitude and are 10 and 450 ms, respectively.

To confirm the "slow" component of the heating kinetics, the diamond plate was installed on different radiators. Fig. 5 shows the heating curves of the diamond plate using radiators from corrosion-resistant steel and copper. The "fast" components of the kinetics in both cases are almost identical, but the "slow" ones are different. Using of a radiator made of corrosion-resistant steel (2×2 cm) leads to a continuous increase in the temperature of the "diamond plate — heat sink" system, while the radiator made of copper (3×3 cm) with a higher thermal conductivity more effectively removes heat and prevents the system from overheating.

Presence of the "fast" and "slow" components in the heating kinetics have the following explanation. After turning on the heater, due to the high thermal conductivity of a diamond, a rapid heating of the diamond plate occurs. The characteristic time of temperature equalization t_1 in it is estimated by the formula [21]:

$$t \sim \frac{r^2 c \rho}{\lambda}, \quad (2)$$

where r , c , ρ , λ — the linear size, specific heat capacity, density and the coefficient of thermal conductivity of the plate, respectively. The estimated value of $t_1 = 14$ ms is in good agreement with the value τ_1 , obtained by approximation of the experimental data. A further increase in the temperature of the diamond plate is possible after heating of the radiator. This process determines the "slow" component in the heating kinetics. The estimation of time of the temperature recovery in the copper heat sink at the distances comparable with the thickness of the radiator, gives the value of $t_2 = 210$ ms, which is the same order of magnitude with τ_2 from the experiment.

Removing of heat from the diamond plate to the copper heat sink is made through a layer of paste KPT-8, which thermal conductivity is less than the diamond and copper, whereby a barrier for spreading of heat is created at the boundary of diamond and paste. The heat flow j through a layer of past is determined by the law of Fourier:

$$j = \lambda \frac{dT}{dx} S, \quad (3)$$

where λ — coefficient of thermal conductivity of the paste; dT — temperature difference between the "top" and "bottom" paste's surfaces; dx — the thickness of the layer; S — contact area of diamond — paste — radiator. Increasing the temperature of the diamond plate will stop when the flow of heat from the source will be equal to the heat flow through the contact surface diamond-paste-radiator. At a given thermal conductivity of the paste, which usually does not exceed 2...7 W/(m · K), the formed temperature difference dT is determined by the contact area S and the thickness of the layer of paste dx . To the temperature difference between the diamond and copper radiator was minimal, which is important for cooling of the unit, it is necessary to increase the contact area, i.e. the size of the diamond plate and/or to minimize the thermal resistance of the transition region of the diamond-radiator.

Conclusion

The samples of the heat sinks with built-in temperature sensors are made on the basis of the synthetic Ib-type diamond. The heating kinetics of the heat sink comprises two components, which characterize the heating of the diamond and the metallic radiator plate. The time for establishing of a quasi-stationary temperature distribution in the diamond heat sink is the tens of milliseconds. In the conditions, simulating work of a "point" semiconductor device with the power of 0,7 W, the maximum superheat of the diamond plate with the area of 16 mm² and the thickness of 0,36 mm, mounted on a copper heat sink is 1,8 °C, and the temperature difference across the surface of the plate is 1,0 °C.

The numerical simulation of the heat propagation using software package ANSYS correctly describes the system "diamond plate — thermal paste — copper heat sink" that allows to predict the value and heating kinetics of the diamond heat sink and to optimize the cooling systems.

References

1. Morjakov O. S. Almaznye teplootvody v konstrukcii poluprovodnikovyh priborov. *Obzory po jelektronnoj tehnike. Ser. "Poluprovodnikovye pribory"*. Moscow: Jelektronika, 1982, Iss. 1 (857), pp. 1—46.
2. Lanin V., Telesh E. Almaznye teplootvody dlja izdelij jelektroniki povyshennoj moshhnosti, *Silovaja jelektronika*, 2008, no. 3, pp. 120—124.
3. Ral'chenko V., Konov V. CVD-almazy. Primenenie v jelektronike, *Jelektronika: Nauka, Tehnologija. Biznes*, 2007, no. 4, pp. 58—67.

4. Bormashov V. S., Buga S. G., Blank V. D., Kuznetsov M. S. i dr. Bystrodeystvujushhie termorezistory iz sinteticheskikh monokristallov almaza, *Pribory i tekhnika jeksperimenta*, 2009, no. 5, pp. 134–139.

5. Mel'nikov A. A., Zajcev A. M., Kurganskij V. I., Shilov A. Ja. i dr. Poluprovodnikovye struktury p-tipa na prirodnom almaze, *Almaz v elektronnoy tekhnike*. Moscow: Jenergoatomizdat, 1990, pp. 228–238.

6. Job R., Denisenko A. V., Zaitsev A. M., Werner M., et al. Temperature Sensor On Boron Ion Implanted Diamond, *MRS Proceedings*, 1995, vol. 416, pp. 249–254.

7. Werner M., Job R., Zaitsev A. M., Fahrner W. R., et al. Relationship between Resistivity and Boron Doping Concentration of Single and Polycrystalline Diamond, *Phys. stat. sol. (a)*, 1996, vol. 154, pp. 385–393.

8. Zjabljuk K. N., Mitjagin A. Ju., Talipov N. H., Chucheva G. V. i dr. Tehnologija sozdaniya legirovannyh borom sloev na almaze, *Tehnologija i konstruirovaniye v elektronnoy apparature*, 2012, no. 5, pp. 39–43.

9. Rusetsky M. S., Kazuchits N. M., Kazuchits V. N., Naumchik E. V. Formirovaniye termochuvstvitel'nyh jelementov v sinteticheskom almaze s ispol'zovaniem radiacionnyh defektov ionnoy implantacii, *Mater. 4-j Mezhdunarodnoj nauchno-tehnicheskoy konferencii "Priborostroeniye—2011"*. Moscow: BNTU. 2011, pp. 393–394.

10. Rusetsky M. S., Kazuchits N. M., Naumchik E. V. The use of ion implantation damage for thermosensitive layer formation in HPHT diamond, *Proc. of 4th International Conference "Radiation Interaction With Material and Its Use in Technologies 2012"*. Kaunas. 2012, pp. 320–323.

11. Zevin R. B., Hrabrova T. V., Morjakov O. S., Lobanov F. I. Poluprovodnikovye almazы, *Obzory po elektronnoy tekhnike. Ser. Poluprovodnikovye pribory*. M.: Elektronika, 1985, Iss. 2 (1097), pp. 1–48.

12. Solov'ev V. S., Gusakov G. A., Krekoten' O. V., Semenov E. A. i dr. Sostav i prostranstvennoye raspredeleniye atomov primesey v monokristallah sinteticheskogo almaza, *Vestn. Belarus. un-ta. Ser. 1*, 2000, no. 2, pp. 31–37.

13. Kazuchits N. M., Rusetsky M. S., Naumchik E. V., Martinovich V. A. Metodika vizual'noy ocenki raspredeleniya primesey i defektov v sinteticheskikh NRNT almazah, *Mater. VIII Mezhdunar. nauchno-prakticheskoy konf. "Aktual'nye problemy sovremennyh nauk—2012"*. Pshemysl': Nauka i obrazovanie, 2012, vol. 44. Fizika. Himiya i himicheskie tekhnologii, pp. 32–35.

14. Kazuchits N. M., Konovalova A. V., Azarko I. I., Jakocuk F. F. i dr. Vliyanie uslovij sinteza na primesnyy sostav monokristallov almaza marki STM "Almazot", *Neorganicheskie materialy*, 2014, vol. 50, no. 2, pp. 1449–1461.

15. Gaubas E., Ceponis T., Jasiunas A., Kalendra V., et al. Lateral scan profiles of the recombination parameters correlated with distribution of grown-in impurities in HPHT diamond, *Diamond and Related Materials*, 2014, vol. 47, pp. 15–26.

16. Kalish R., Reznik A., Prawer S., Saada D., et al. Ion-Implantation-Induced Defects in Diamond and Their Annealing: Experiment and Simulation, *Phys. Stat. Sol. (a)*, 1999, vol. 174, pp. 83–99.

17. Rusetsky M. S., Kazuchits N. M. Avtomatizirovannaya ustanovka dlja izmerenija temperaturnyh zavisimostej provodimosti na baze IPPP-1. *Mater. 7 Mezhdunar. nauchno-tehnich. konf. "Priborostroeniye—2014"*. Moscow: BNTU, 2014, pp. 131–133.

18. Fizicheskie svoystva almaza: spravochnik. Pod red. N. V. Novikova. Kiev: Navukova dumka. 1987, 189 p.

19. GOST 28626—90 Termorezistory kosvennogo podogreva s otricatel'nym temperaturnym koefitsientom soprotivleniya. Obshhie tekhnicheskie uslovija.

20. Teploprovodnost' i teplofizicheskie svoystva veshhestv i materialov: spravochnik. URL: <http://thermalinfo.ru/>

21. Lykov A. V. Teorija teploprovodnosti. Moscow: Vysshaja shkola, 1967. 392 p.

УДК 621.315.592:621.382

Ю. В. Фёдоров, гл. конструктор, зам. директора по НИОКР, С. В. Михайлович, мл. науч. сотр.,
e-mail: sergey_iuhfse@mail.ru

Федеральное государственное бюджетное учреждение науки Институт сверхвысококачественной полупроводниковой электроники Российской академии наук (ИСВЧПЭ РАН), г. Москва

ПЕРСПЕКТИВЫ ЗАМЕНЫ АРСЕНИДНЫХ МИС НА НИТРИДНЫЕ

Поступила в редакцию 21.01.2016

Проведены расчетно-аналитические исследования предельных возможностей полевых транзисторов с высокой подвижностью электронов на арсенидных и нитридных наногетероструктурах. Показано, что ограничения на предельные частоты связаны с конструкцией приборов, а не со свойствами полупроводников. Также показано, что удельная мощность нитридных транзисторов при заданной рабочей частоте определяется толщиной барьерного слоя наногетероструктуры.

Ключевые слова: моделирование, мощность, GaN, наногетероструктуры, HEMT, пробивное напряжение, предельная частота

Введение

Освоение терагерцового диапазона в последнее десятилетие является одним из самых приоритетных направлений развития полупроводниковых СВЧ приборов. Частотные параметры полевых транзисторов с двумерным электронным газом (HEMT) на базе арсенидных наногетероструктур (In, Ga, Al, P)As на подложках InP [1–3] и нитридных наногетероструктур (In, Ga, Al)N на подложках Al₂O₃, SiC и Si (далее арсенидные и нитридные

HEMT соответственно) в эти годы возрастали наиболее высокими темпами (рис. 1) [4]. Это стало возможным в результате развития технологии изготовления транзисторов, а именно снижения сопротивления омических контактов путем освоения технологии повторного выращивания высоколегированного контактного слоя n^+ -InGaAs или n^+ -GaN, создания как для арсенидных, так и для нитридных HEMT самосовмещенной технологии изготовления затворов и контактов, уменьшающей

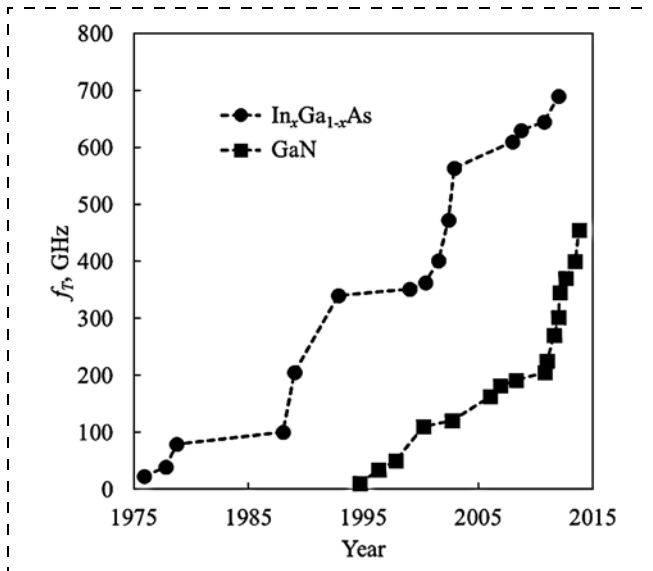


Рис. 1. Динамика повышения предельных частот арсенидных и нитридных НЕМТ

Fig. 1. Dynamics of growth of the limiting frequencies of the arsenide and nitride HEMT

сопротивление канала транзистора до физического минимума, а также уменьшения длины затворов до 20 нм [4, 5].

Однако, как можно видеть из рис. 1, рост предельной частоты усиления по току f_T InP НЕМТ остановился на отметке $f_T = 688$ ГГц уже в 2011 г. [3], а нитридные НЕМТ после достижения $f_T = 454$ ГГц в 2013 г. [4] также, по-видимому, исчерпали возможности для развития. В настоящей работе анализируются причины сложившейся ситуации и возможности дальнейшего повышения частот арсенидных и нитридных НЕМТ, а также проводится сравнение достижимых параметров.

Предельные СВЧ параметры полевых транзисторов с двумерным электронным газом

Анализ предельных СВЧ параметров НЕМТ удобно проводить на основе его эквивалентной схемы (рис. 2) [5]. Элементы схемы делят на внутренние и внешние ("паразитные"). Обычно считают, что f_T полевого транзистора определяется суммарным временем перезарядки τ_{tot} внутренних и внешних емкостей, т. е. $f_T = 1/2\pi\tau_{tot}$, где $\tau_{tot} = \tau_{int} + \tau_{ext} + \tau_{par}$ может быть представлено следующим образом [4]:

$$\tau_{tot} = \frac{C_{gs,i} + C_{gd,i}}{G_{m,i}} + \frac{C_{gs,ext} + C_{gd,ext}}{G_{m,i}} + (R_s + R_d) \left[C_{gd} + (C_{gs} + C_{gd}) \frac{G_{ds}}{G_{m,i}} \right], \quad (1)$$

где $G_{m,i}$ — внутренняя крутизна; $G_{ds} = 1/R_{ds}$ — выходная проводимость, $C_{gd} = C_{gd,ext} + C_{gd,i}$ — общая емкость затвор—сток, равная сумме внешней и

внутренней составляющих; $C_{gs} = C_{gs,ext} + C_{gs,i}$ — общая емкость затвор—исток, равная сумме внешней и внутренней составляющих; R_s, R_d — сопротивления истока и стока соответственно.

Очевидно, что для повышения быстродействия НЕМТ необходимо уменьшать его паразитные емкости и сопротивления, а также повышать внутреннюю крутизну $G_{m,i}$ на что и нацелено в последние годы развитие технологии как арсенидных, так и нитридных НЕМТ.

Используя формулу (1), после несложных преобразований с учетом известных соотношений

$$\frac{G_{m,i}}{C_{gs,i}} = \frac{V_{dr}}{L_G} \text{ и } C_{gs,i} = \varepsilon_0 \varepsilon_B W_G \frac{L_G}{t_B},$$

можно получить следующее выражение, описывающее зависимость произведения f_T на длину затвора L_G (коэффициента качества НЕМТ) от аспектного соотношения $K_B = L_G/t_B$:

$$f_T L_G = \frac{V_{dr}}{2\pi} \left(1 + (R_s + R_d) G_{ds} + \frac{C_{gd}(1 + (R_s + R_d)(G_{m,i} + G_{ds})) + C_{gs,ext}(R_s + R_d) G_{ds}}{\varepsilon_0 \varepsilon_B W_G \frac{L_G}{t_B}} \right)^{-1}, \quad (2)$$

где V_{dr} — эффективная дрейфовая скорость электронов под затвором транзистора; t_B — расстояние от затвора до двумерного электронного газа (примерно равно толщине барьерного слоя наногетероструктуры); ε_0 — диэлектрическая постоянная; ε_B — диэлектрическая проницаемость барьера; W_G, L_G — ширина и длина затвора соответственно.

Экспериментальные зависимости произведения $f_T L_G$ от K_B широко используют для сравнения качества транзисторов при отработке их технологии. Однако в явном виде выражение (2), по-видимому, представлено впервые в настоящей работе. Проанализируем его применимость для анализа реальных приборов на основе имеющихся литературных

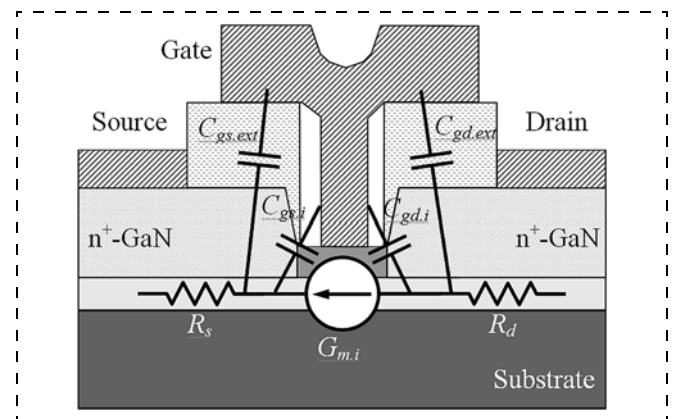


Рис. 2. Эквивалентная схема НЕМТ с паразитными элементами
Fig. 2. Equivalent circuit of HEMT with parasitic elements

данных. Для этой цели используем результаты работы [6], где на основании анализа многочисленных экспериментальных данных для нитридных НЕМТ получено эмпирическое выражение:

$$f_T [\text{ГГц}] = \frac{19,8}{L_G [\text{мкм}] + 5,1 t_B [\text{мкм}]} \quad (3)$$

Умножив обе части выражения (3) на L_G , получим:

$$f_T L_G = \frac{19,8}{1 + 5,1 t_B / L_G} [\text{ГГц} \cdot \text{мкм}]. \quad (4)$$

Кроме того, в работе [6] приведен график экспериментальной зависимости R_{ds} от $K_B = L_G / t_B$, которая была экстраполирована нами следующим эмпирическим выражением:

$$R_{ds} = 6,5 \cdot 10^{0,065 K_B} [\text{Ом} \cdot \text{мм}]. \quad (5)$$

Используем этот результат, подставив $G_{ds} = 1/R_{ds}$ в формулу (2). Данная зависимость R_{ds} от K_B учитывает в явном виде коротко-канальные эффекты, проявляемые при уменьшении длины затвора транзисторов. Кроме того, выразим сумму $(R_s + R_d)$ в формуле (2) через удельное сопротивление омических контактов R_{ohm} [Ом · мм] и удельное слоевое сопротивление наногетероструктуры R_{Sh} [Ом/□], в виде

$$R_s + R_d = 2R_{ohm} + dR_{Sh} [\text{Ом} \cdot \text{мм}],$$

где d — сумма расстояний исток—затвор и затвор—сток транзистора в миллиметрах. Учтем также

удельное значение емкостей $C_{gs,i} = \epsilon_0 \epsilon_B \frac{L_G}{t_B}$ [пФ/мм].

Окончательно получим выражение для произведения $f_T L_G$ в следующем виде:

$$\begin{aligned} f_T L_G &= \\ &= 10^{-5} \frac{V_{dr}}{2\pi} \left[1 + a(K_B) + \frac{b(K_B)}{K_B} \right]^{-1} [\text{ГГц} \cdot \text{мкм}], \quad (6) \end{aligned}$$

где

$$a(K_B) = \frac{2R_{ohm} + dR_{Sh}}{6,5} \cdot 10^{-0,065 K_B};$$

$$b(K_B) =$$

$$= \frac{C_{gd}(1 + G_{m,i}(2R_{ohm} + dR_{Sh}) + a(K_B)) + C_{gs,ext}a(K_B)}{0,00885\epsilon_B}.$$

Считаем, что выражение (6) должно быть пригодным как для арсенидных, так и нитридных НЕМТ. Это будет в дальнейшем проверено путем сравнения расчетных данных с экспериментальными результатами. При этом максимально будем использовать параметры транзисторов, приведенные в соответствующих работах или типичные для аналогичных приборов. Наборы использованных расчетных параметров приведены в таблице.

Нитридные НЕМТ

Для варианта 1 выбраны параметры расчетов на наилучшее соответствие с формулой (4), основанной на экстраполяции параметров большого количества нитридных НЕМТ [6]. Отклонения произведений $f_T L_G$, полученных по формулам (4) и (6), не превышало 1 % в диапазоне L_G/t_B от 1 до 100. Как видно из данной таблицы, использованные в расчете значения $R_{ohm} = 0,4$ Ом · мм, $R_{Sh} = 300$ Ом/□, $d = 2$ мкм и $G_{m,i} = 400$ мСм/мм, характерны для нитридных НЕМТ, изготовленных по "старой" технологии с вжигаемыми омическими контактами. Это неудивительно, поскольку на момент публикации работы [6] никакой другой технологии еще не существовало. Следует отметить, что "подгоночная" дрейфовая скорость электронов $V_{dr} = 1,216 \cdot 10^7$ см/с также близка к значению $1,24 \cdot 10^7$ см/с, приведенному в работе [6].

В варианте 2 использован набор параметров подгонки формулы (6) к более современным результатам для нитридных НЕМТ, приведенным в работе [7]. В данном случае уже использовали современную самосовмещенную технологию с невжигаемыми омическими контактами с дорасширением сильнолегированного контактного n^+ -GaN слоя в установке молекулярно-лучевой эпитаксии, характеризующуюся предельно малыми значениями контактного сопротивления (около 0,1 Ом · мм), высокой внутренней крутизной $G_{m,i} = 1$ См/мм и малыми расстояниями исток—затвор и затвор—сток (0,12 мкм). Как видно из рис. 3, результат расчетов по формуле (6) с такими параметрами хорошо совпадает с экспериментальными данными, приведенными в работе [7].

Отметим характерный ход зависимости $f_T L_G$ от аспектного соотношения L_G/t_B , а именно практически пропорциональное падение произведения $f_T L_G$ при низких значениях аспектного отношения. Это означает, что рост f_T при уменьшении L_G практически прекращается. Это отчетливо видно на рис. 4, где в явном виде построены зависимости f_T от L_G для рассмотренных выше вариантов 1 и 2. Зависимости f_T от L_G получены простым

Параметры НЕМТ, использованные в расчетах
HEMT Parameters Used in Calculations

Параметр Parameters	Вариант 1 Version 1 (Al, Ga)N	Вариант 2 Version 2 (Al, Ga)N	Вариант 3 Version 3 (Al, Ga)N	Вариант 4 Version 4 (In, Al, Ga)As
R_{ohm} , Ом · мм	0,4	0,1	0,085	0,05
R_{Sh} , Ом/□	300	300	320	150
d , μm	2	0,12	0,1	0,1
$G_{m,i}$, S/mm	0,4	1,0	1,25	2,5
C_{gd} , пФ/мм	0,23	0,23	0,85	1,5
$C_{gs,ext}$, пФ/мм	0,12	0,12	0,12	0,12
ϵ_B	10	10	10	13
V_{dr} , 10^7 cm/s	1,216	1,5	2,8	4

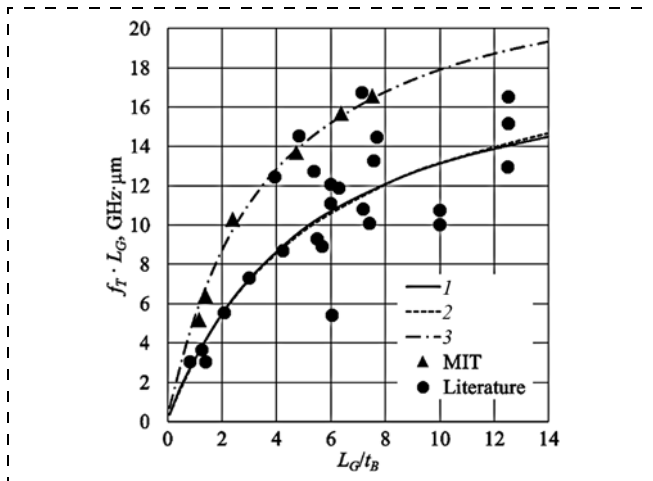


Рис. 3. Расчетные зависимости $f_T L_G$ от аспектного отношения L_G/t_B : 1 — эмпирическая зависимость из работы [6]; 2 — вариант 1; 3 — вариант 3; точки — данные работы [7]
Fig. 3. Calculated dependences of $f_T L_G$ on the aspect correlation of L_G/t_B : 1 — empirical dependence from [6]; 2 — version 1; 3 — version 3; points — the work of data [7]

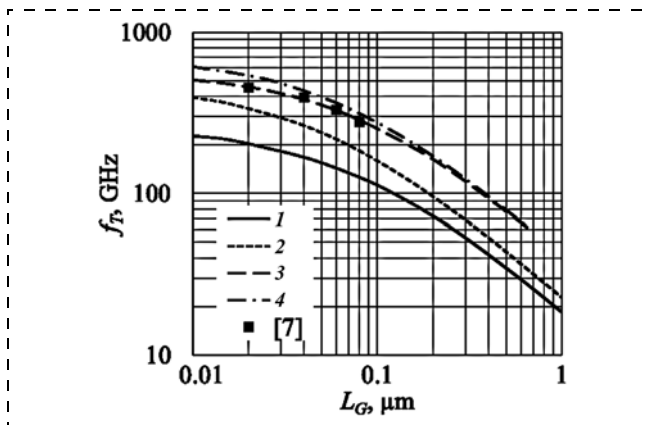


Рис. 4. Расчетные и экспериментальные (точки [7]) зависимости f_T от L_G : 1 — вариант 1; 2 — вариант 2; 3 — вариант 3; 4 — предельная кривая при $R_{ohm} = R_{sh} = 0$
Fig. 4. Calculated and experimental (points [7]) dependences of f_T on L_G : 1 — version 1; 2 — version 2; 3 — version 3; 4 — limiting curve at $R_{ohm} = R_{sh} = 0$

делением левой и правой частей формулы (6) на L_G . Дополнительно приведена аналогичная зависимость, полученная для параметров (см. таблицу, вариант 3) рекордного по частоте нитридного НЕМТ ($f_T = 454$ ГГц, $f_{max} = 444$ ГГц), подробно описанного и исследованного в работе [7]. На рис. 4 также приведены точки, полученные экспериментально. Как видно из рис. 4, ни одна из построенных зависимостей не достигает 1 ТГц, даже при уменьшении длины затвора до 10 нм. Интересно, что если даже "обнулить" в выражении (6) величины R_{ohm} и R_{sh} (технологический предел), то получим зависимость вида:

$$f_T = 10^{-5} \frac{V_{dr}}{2\pi} \left(L_G + \frac{C_{gd}}{0,00885\epsilon_B} \right)^{-1},$$

которая при $L_G = 0$ дает конечное значение

$$f_{T,lim} = 10^{-5} \frac{V_{dr}}{2\pi} \frac{0,00885\epsilon_B}{C_{gd}}.$$

Если мы возьмем толщину барьера рекордного НЕМТ [7] $t_B = 0,006$ мкм, а $C_{gd} = 0,85$ пФ/мм из соответствующих подгоночных параметров (вариант 3), то получим значение $f_{T,lim} = 774$ ГГц, что значительно меньше 1 ТГц. Следует отметить, что "подгоночная" величина C_{gd} для варианта 3 кажется аномально высокой, поскольку значение $C_{gd,i}$ для моделей предельных по частоте НЕМТ после деембеддинга (de-embedding), приведенное в работе [7], примерно в 7–8 раз ниже. Однако приведенные в работе [7] параметры моделей для НЕМТ с $L_G = 20$ нм не являются масштабируемыми, т. е. не позволяют получить измеренные значения f_T при больших значениях $L_G = 40, 60$ и 80 нм, а следовательно, вызывают определенные сомнения. "Уложить" все эти точки на одну кривую удалось только при $C_{gd} = 0,85$ пФ/мм. Причем все остальные параметры расчетов в точности соответствуют данным работы [7]. Поэтому значение $C_{gd} = 0,85$ пФ/мм представляется более достоверным.

Таким образом, основным препятствием на пути повышения предельных частот НЕМТ на нитридных наногетероструктурах более 1 ТГц является слишком большое значение произведения $t_B C_{gd}$. Возможность ее минимизации за счет уменьшения толщины барьерного слоя нитридных наногетероструктур будет рассмотрена ниже.

Арсенидные НЕМТ на подложках InP

Для арсенидных НЕМТ и рНЕМТ на подложках InP, как и в случае нитридных НЕМТ, рост значения f_T с уменьшением длины затвора также замедляется. Для примера можно привести экспериментальные зависимости (рис. 5), представленные в работе [1], с результатами расчетов по формуле (6) (вариант 4). К сожалению, ввиду отсутствия достаточного объема экспериментальных данных, в первую очередь это касается учета короткоканальных эффектов, точность проведенных расчетов невелика, но общий ход зависимости подтверждается. Очевидно, что для уменьшения короткоканальных эффектов необходимо приближение затвора к каналу транзистора, т. е. снижение толщины барьерного слоя. Однако в наногетероструктурах с рекордными частотными параметрами рНЕМТ на подложках InP уже используется предельно тонкий барьерный слой InP, толщиной всего 2 нм [3], который расположен непосредственно над каналом InAs толщиной 5...10 нм, обеспечивающим максимально возможную дрейфовую скорость электронов $(3...4) \cdot 10^7$ см/с в совокупности с очень высо-

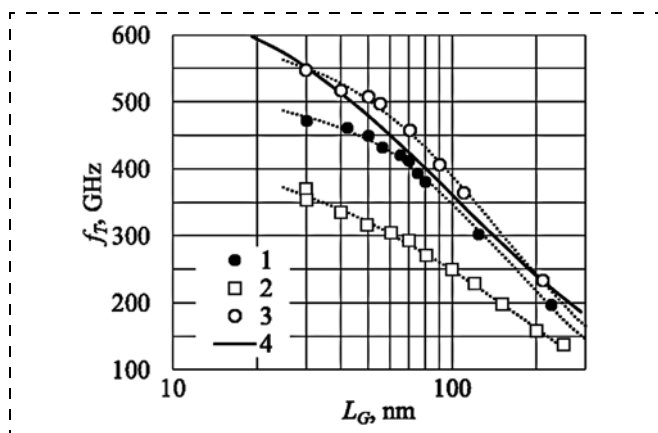


Рис. 5. Зависимость f_T от длины затвора для арсенидных НЕМТ и рНЕМТ на подложках InP [1]. Линия сплошная — расчет по формуле (6), вариант 4 (таблица)

Fig. 5. Dependence of f_T on the gate length for the arsenide HEMT and pHEMT on InP substrates [1]. Solid line — calculation using formula (6), Version 4 (table)

кой подвижностью $\mu_e = 13\,000\text{ В}/(\text{см}^2 \cdot \text{с})$ [8, 9]. Это и обуславливает рекордные частотные параметры рНЕМТ с каналом InAs, которые на сегодняшний день являются непревзойденными. Хотя терагерцовый предел для значений f_T так и остается непреодоленным, по-видимому, вследствие невозможности избавиться от задержек времени, связанных с перезарядкой C_{gd} .

Зависимость мощностных параметров нитридных НЕМТ от толщины барьерного слоя наногетероструктур

Такая зависимость должна обязательно учитываться при выборе рабочего материала для изготовления приборов с заданными свойствами. Ввиду отсутствия развитой теории нитридных НЕМТ использовали эмпирические данные, основанные на усреднении многочисленных экспериментальных результатов, представленных в работе [6].

Кроме уже использованных выше эмпирических зависимостей f_T от L_G и t_B , а также R_{ds} от аспектного отношения L_G/t_B , важным результатом работы [6] является график зависимости напряжения пробоя U_{BK} от K_B , представленный на рис. 6, который нами был аппроксимирован следующим выражением:

$$U_{BK} = 7,3(K_B - 2,5)^{0,52} [\text{В}]. \quad (7)$$

Как известно, максимальная выходная мощность, которая может быть получена для идеального транзистора, равна

$$P_{\max} = \frac{I_{\text{sat}}(U_{BK} - U_{\text{sat}})}{8}, \quad (8)$$

где I_{sat} — ток насыщения; U_{BK} — напряжение пробоя; U_{sat} — напряжение насыщения. При этом сопротивление, соответствующее нагрузочной пря-

мой при максимальной мощности, можно описывать соотношением:

$$R_{\text{load.max}} = \frac{U_{BK} - U_{\text{sat}}}{I_{\text{sat}}}. \quad (9)$$

Реальный транзистор имеет выходную проводимость G_{ds} , которая учитывается добавлением в модель идеального полевого транзистора сопротивления R_{ds} , параллельного нагрузке. Таким образом, сопротивление, определяющее нагрузочную прямую $R_{\text{load.max}}$, одновременно должно удовлетворять соотношению:

$$R_{\text{load.max}} = \frac{R_{ds} R_{\text{load}}}{R_{ds} + R_{\text{load}}}, \quad (10)$$

где R_{load} — сопротивление нагрузки; R_{ds} — внутреннее сопротивление транзистора, определяющее его выходную проводимость. В этом случае полная мощность распределяется между мощностью, выделяемой в нагрузку ("полезная") и мощностью, которая отбирается сопротивлением R_{ds} ("паразитная"). Путем несложных преобразований можно получить, что мощность, выделяемая в нагрузку, с учетом уравнений (7)–(10) описывается выражением:

$$P_{\text{load.opt}} = \frac{I_{\text{sat}}(U_{BK} - U_{\text{sat}})}{8} \left(1 - \frac{U_{BK} - U_{\text{sat}}}{I_{\text{sat}} R_{ds}} \right). \quad (11)$$

При этом оптимальное сопротивление нагрузки определяется как

$$R_{\text{load.opt}} = \left(\frac{I_{\text{sat}}}{U_{BK} - U_{\text{sat}}} - \frac{1}{R_{ds}} \right)^{-1}. \quad (12)$$

При $R_{ds} \rightarrow \infty$ выражения (11) и (12) преобразуются в уравнения (8) и (9) соответственно.

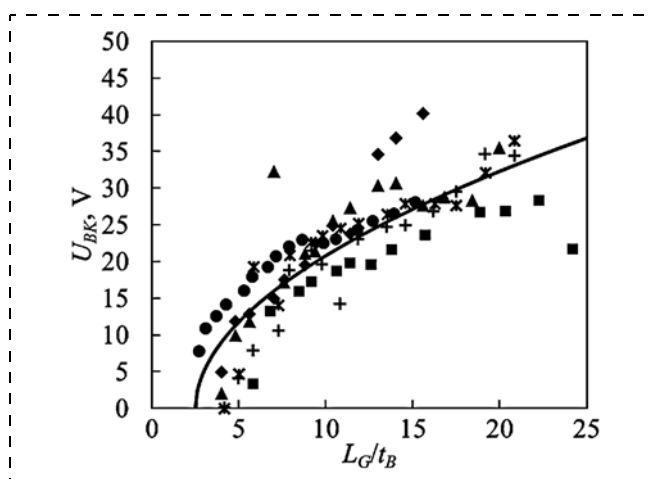


Рис. 6. Зависимость пробивного напряжения U_{BK} нитридных НЕМТ от аспектного отношения L_G/t_B (точки — экспериментальные значения из работы [6], линия — аппроксимация по формуле (7))

Fig. 6. Dependence of the breakdown voltage of U_{BK} of nitride HEMT on the aspect correlation of L_G/t_B (points — experimental values from the work [6], the line — approximation of (7))

Продифференцировав выражение (11) по R_{ds} , можно показать, что максимальная мощность в нагрузке достигается при $R_{ds} = 2 \frac{U_{BK} - U_{sat}}{I_{sat}}$. При этом $R_{load, opt} = R_{ds}$, а выражение (11) сводится к следующей простой формуле:

$$P_{load, max} = \frac{I_{sat}^2 R_{ds}}{32}. \quad (13)$$

Если считать, что ток насыщения I_{sat} пропорционален W_G , сопротивление R_{ds} обратно пропорционально W_G , а напряжения пробоя U_{BK} и насыщения U_{sat} не зависят от ширины затвора, то путем подстановки соответствующей аппроксимации (5) в формулу (13) получим следующее выражение для максимальной удельной мощности в нагрузке:

$$P_{load, max} = \frac{I_{sat}^2}{32} \cdot 6,5 \cdot 10^{0,065 K_B}. \quad (14)$$

Очень важно отметить интересный результат, который мы получили: максимальная удельная мощность нитридных HEMT определяется не только максимальным удельным током, т. е. параметрами наногетероструктуры, но и аспектным соотношением L_G/t_B . Кроме того, поскольку при заданной частоте f_T одновременно задана и требуемая длина затвора L_G , то единственным способом повышения $P_{load, max}$ является уменьшение толщины наногетероструктуры t_B при условии сохранения I_{sat} , что стимулирует разработку эффективных наногетероструктур (Al, Ga, In)N.

Этот результат наглядно показан на рис. 7, где построены одновременно возможные расчетные параметры транзисторов с использованием выражений (3) и (8) в координатах $t_B - L_G$. Как можно

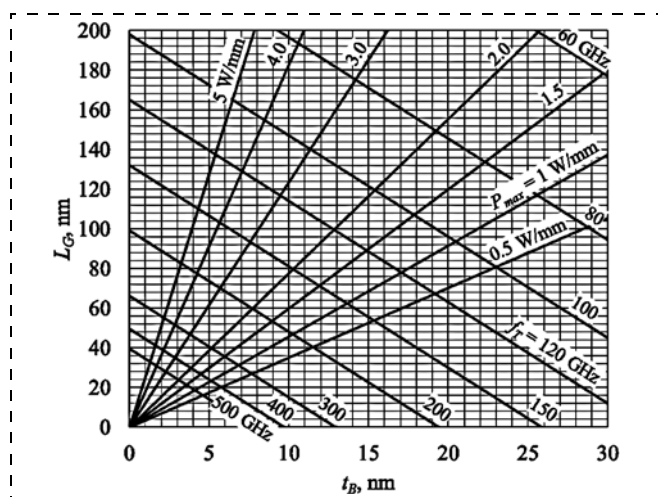


Рис. 7. Карта изолиний f_T и P_{max} для нитридных HEMT при $I_{sat} = 1,6$ А/мм

Fig. 7. Map of isolines of f_T and P_{max} for nitride HEMT at $I_{sat} = 1,6$ А/мм

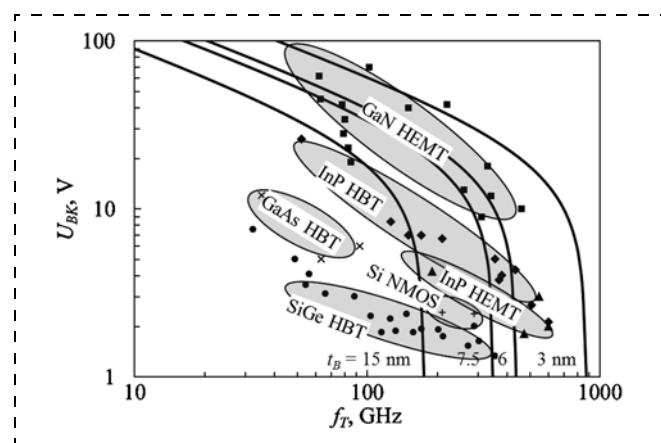


Рис. 8. Зависимость пробивных напряжений U_{BK} от максимальной частоты усиления по току f_T для СВЧ приборов на различных материалах (сплошные линии — расчет для нитридных HEMT при $t_B = 3, 6, 7,5$ и 15 нм)

Fig. 8. Dependence of the breakdown voltages of U_{BK} on the value of cutoff of strengthenings on current f_T for the microwave devices on various materials (solid lines — calculation for nitride HEMT at $t_B = 3, 6, 7,5$ and 15 nm)

видеть, для повышения предельных частот, удельных мощностей и пробивных напряжений нитридных HEMT следует применять более тонкие наногетероструктуры, допустимая толщина барьера t_B которых резко уменьшается при повышении f_T . Так, если для W -диапазона (75...110 ГГц) можно использовать наногетероструктуры с t_B от минимально возможных значений до 22 нм, то для достижения f_T более 400 ГГц необходимо использовать только наногетероструктуры с $t_B < 6$ нм. Это хорошо согласуется с параметрами наногетероструктур, представленными в современных работах [4, 5, 7], при получении предельных частотных параметров нитридных HEMT.

Высокие напряжения пробоя и f_T являются основными качествами транзистора при усилении мощности. В этом плане важной характеристикой является критерий Джонсона (*Johnson's figure of merit*), который определяется как произведение f_T на U_{BK} . На рис. 8 представлена зависимость U_{BK} от f_T для СВЧ приборов на основе различных материалов. Видно, что уменьшение толщины барьерного слоя наногетероструктуры AlGaIn/GaN приводит к увеличению как f_T , так и напряжения пробоя. Из этого следует, что использование более "тонких" нитридных наногетероструктур выгодно в плане получения высоких значений выходной мощности как на больших частотах (100 ГГц и более), так и на малых (1...10 ГГц). В этом отношении нитридные HEMT, как видно из рис. 8, не имеют себе равных, по крайней мере в диапазоне частот до порядка 400 ГГц при $t_B = 6$ нм и до 700 ГГц при $t_B = 3$ нм. Правда, получение таких высоких рабочих частот для нитридных HEMT в планарной геометрии, как было показано выше, невозможно.

Показано, что с большой уверенностью можно утверждать, что частотный предел НЕМТ на арсенидных и нитридных наногетероструктурах уже достигнут. Ограничения на предельные частоты имеют физический характер, связанный с конструкцией приборов, а не со свойствами полупроводников. В частности, определяющим параметром в данном случае является произведение t_B на C_{gd} , технологические возможности минимизации которого, по-видимому, уже исчерпаны. Установлено, что наиболее быстродействующими транзисторами являются p НЕМТ на подложках InP, а наиболее мощными — НЕМТ на нитридных наногетероструктурах на SiC. Однако пробивные напряжения и удельные мощностные параметры НЕМТ на нитридных наногетероструктурах при заданной рабочей частоте определяются толщиной барьерного слоя наногетероструктур, улучшаясь при его уменьшении. Это требует разработки эффективных нитридных наногетероструктур с t_B менее 10 нм. В этом плане вне конкуренции находятся наногетероструктуры AlN/GaN с толщиной барьерного слоя около 3 нм, благодаря высоким параметрам двумерного электронного газа и сравнительной простоте ростового процесса.

Работа выполнена при финансовой поддержке Министерства образования и науки РФ (соглашение о предоставлении субсидии № 14.604.21.0136, уникальный идентификатор проекта RFMEFI60414X0136).

1. Shinohara K., Matsui T. Nano-Gate Transistor — World's Fastest InP-HEMT // Journal of the National Institute of Information and Communications Technology. 2004. Vol. 51, N. 1/2. P. 95—102.
2. Waldron N., Dae-Hyun Kim, del Alamo J. A. A Self-Aligned InGaAs HEMT Architecture for Logic Applications // IEEE Transactions on Electron Devices. 2010. Vol. 57, N. 1. P. 297—304.
3. Dae-Hyun Kim, Brar B., del Alamo J. A. $f_T = 688$ GHz and $f_{max} = 800$ GHz in $L_G = 40$ nm $In_{0.7}Ga_{0.3}As$ MHEMTs with $g_{m,max} > 2,7$ mS/ μm // 2011 IEEE International Electron Devices Meeting. USA. Washington, DC. 5—7 Dec. 2011. P. 13.6.1—13.6.4.
4. Lee D. S., Liu Z. J., Palacios T. GaN high electron mobility transistors for sub-millimeter wave applications // Japanese Journal of Applied Physics. 2014. Vol. 53, N. 10. P. 100212.
5. Huang T., Liu Z. J., Zhu X., et al. DC and RF Performance of Gate-Last AlN/GaN MOSHEMTs on Si With Regrown Source/Drain // IEEE Transactions on Electron Devices. 2013. Vol. 60, N. 10. P. 3019—3024.
6. Jessen G. H., Fitch R. C., Gillespie J. K., et al. Short-Channel Effect Limitations on High-Frequency Operation of Al-GaN/GaN HEMTs for T-Gate Devices // IEEE Transactions on Electron Devices. 2007. Vol. 54, N. 10. P. 2589—2597.
7. Shinohara K., Regan D. C., Tang Y., et al. Scaling of GaN HEMTs and Schottky Diodes for Submillimeter-Wave MMIC Applications // IEEE Transactions on Electron Devices. 2013. Vol. 60, N. 10. P. 2982—2996.
8. Egard M., Ohlsson L., Borg B. M., et al. High transconductance self-aligned gate-last surface channel $In_{0.53}Ga_{0.47}As$ MOSFET // 2011 IEEE International Electron Devices Meeting. USA. Washington, DC. 5—7 Dec. 2011. P. 13.2.1—13.2.4.
9. Kim T.-W., Kim D.-H., Koh D.-H. et al. ETB-QW InAs MOSFET with scaled body for Improved Electrostatics // 2012 IEEE International Electron Devices Meeting. USA. San Francisco, CA. 10—13 Dec. 2012. P. 32.3.1—32.3.4.

Yu. V. Fedorov, Chief Designer, Deputy Director of IUHFSE of RAS, S. V. Mikhaylovich, Junior Researcher, Institute of Ultra High Frequency Semiconductor Electronics of RAS, Moscow

HEMT: Nitrides vs Arsenides

This paper presents an analysis of the ultimate potentials of the nitride and arsenide HEMT (high-electron-mobility transistors) heterostructures, which proves that the frequency limit of such devices has already been reached. The frequency limits of such devices are mainly determined by designs of the devices, but not by the semiconductor properties. In particular, it was established that the critical parameter in that case was the product of $t_B C_{gd}$ (where t_B — barrier thickness; C_{gd} — the common gate-drain capacitance), and the technological potentials for minimization of which, apparently, were already exhausted. Therefore, it can be stated that nowadays p HEMT on InP substrates offer the highest-speed transistors, while nitride HEMT on SiC substrates are the most powerful devices. In addition, it has been proven that the breakdown voltages and the specific power density parameters of the nitride HEMT at a given operating frequency are defined by the thickness of the heterostructure barrier layer: the lower it is, the better they are. Therefore, it is necessary to develop highly efficient nitride heterostructures with t_B less than 10 nm. In this respect the AlN/GaN heterostructures are beyond competition due to the high parameters of 2D electronic gas and relative simplicity of the growth process.

Keywords: arsenide and nitride heterostructures, breakdown voltage, HEMT, GaN, power, cutoff frequency

Introduction

Terahertz range is one of the priority directions in development of the semiconductor microwave frequency devices. The frequency parameters of the high electron mobility transistors (HEMTs) on the basis of the arsenide heterostructures (In, Ga, Al, P)As on InP [1—3] and nitride heterostructures (In, Ga, Al)N on Al_2O_3 , SiC and Si (arsenide and nitride HEMTs) increase with the highest rates (fig. 1) [4]. This is a

result of development of the manufacturing technology of the transistors: decrease of the ohmic contacts resistance due to the regrowth of n^+ -InGaAs or n^+ -GaN layer, development of the self-aligned gates technology, minimizing the channel resistance, and also reduction of the gate length down to 20 nm [4, 5].

However, as one can see, the increase of the cutoff frequency f_T for InP HEMT stopped at $f_T = 688$ GHz already

in 2011 [3], while the nitride HEMT after $f_T = 454$ GHz in 2013 [4] also, apparently, by exhausted development opportunities. The purpose of the present work is analysis of the evolved situation and the potentials of increase of the operating frequencies of the arsenide and nitride HEMT, and also comparison of their achievable parameters.

Limit microwave parameters of the HEMTs

It would be convenient to undertake research of the limit microwave parameters of HEMT on the basis of the equivalent circuit (fig. 2, [5]), which presents the internal and external parasitic elements defining its work. Usually it is considered, that the cutoff frequency f_T of transistor is defined by the total recharge time τ_{tot} of the internal and external capacitances, i.e. $f_T = 1/2\pi\tau_{tot}$ where $\tau_{tot} = \tau_{int} + \tau_{ext} + \tau_{par}$ can be presented in the following way [4]:

$$\tau_{tot} = \frac{C_{gs,i} + C_{gd,i}}{G_{m,i}} + \frac{C_{gs,ext} + C_{gd,ext}}{G_{m,i}} + (R_s + R_d) \left[C_{gd} + (C_{gs} + C_{gd}) \frac{G_{ds}}{G_{m,i}} \right], \quad (1)$$

where $G_{m,i}$ — is the internal transconductance; $G_{ds} = 1/R_{ds}$ — the output conductance of HEMT; $C_{gd} = C_{gd,ext} + C_{gd,i}$ — the total gate-drain capacitance (intrinsic and extrinsic parts); $C_{gs} = C_{gs,ext} + C_{gs,i}$ — the total gate-source capacitance (intrinsic and extrinsic parts); R_s, R_d — source and the drain resistances.

It is obvious, that in order to increase the speed of HEMT it is necessary to reduce its parasitic capacities and resistances, and also to raise the $G_{m,i}$, on which the development of both arsenide and nitride HEMT technologies has been aimed in recent years.

Using the formula (1) after transformations taking into account the known correlations

$\frac{G_{m,i}}{C_{gs,i}} = \frac{V_{dr}}{L_G}$ and $C_{gs,i} = \epsilon_0 \epsilon_B W_G \frac{L_G}{t_B}$ it is possible to receive the expression describing the dependence of product $f_T L_G$ (quality coefficient of HEMT) on the aspect ratio $K_B = L_G/t_B$:

$$f_T L_G = \frac{V_{dr}}{2\pi} \left(1 + (R_s + R_d) G_{ds} + \frac{C_{gd}(1 + (R_s + R_d)(G_{m,i} + G_{ds})) + C_{gs,ext}(R_s + R_d) G_{ds}}{\epsilon_0 \epsilon_B W_G \frac{L_G}{t_B}} \right)^{-1}, \quad (2)$$

where V_{dr} — is the effective electrons drift velocity under the transistor gate; t_B — the distance from the gate to 2D electronic gas, roughly equal to the barrier layer thickness of a heterostructure; ϵ_0 — dielectric constant; ϵ_B — the dielectric permeability of the barrier; W_G, L_G — the gate width and length.

The experimental dependences of product $f_T L_G$ on K_B are widely used for comparison of the quality of HEMTs in optimization of their technology. However, in an explicit form the expression (2), apparently, is presented in this work for the first time. We will analyze its applicability for the analysis of the real devices on the basis of the available data. For this purpose, we will use the results [6], where on the basis of the

analysis of the experimental data for nitride HEMT the following empirical expression was obtained:

$$f_T [\text{GHz}] = \frac{19,8}{L_G [\mu\text{m}] + 5,1 t_B [\mu\text{m}]} \quad (3)$$

By multiplying both parts by L_G , we will get:

$$f_T L_G = \frac{19,8}{1 + 5,1 t_B / L_G} [\text{GHz} \cdot \mu\text{m}]. \quad (4)$$

Besides, [6] presents a diagram of the experimental dependence of R_{ds} on $K_B = L_G/t_B$, which we extrapolated using the following empirical expression:

$$R_{ds} = 6,5 \cdot 10^{0,065 K_B} [\Omega \cdot \text{mm}]. \quad (5)$$

Let us use this result by placing it instead of $G_{ds} = 1/R_{ds}$ in formula (2). The given dependence of R_{ds} on K_B takes into account the short-channel effects resulting from shortening of the gate length. Besides, let us express the sum of $(R_s + R_d)$ in formula (2) through specific resistance of the ohmic contacts $R_{ohm} [\Omega \cdot \text{mm}]$ and the sheet resistance of the heterostructure $R_{sh} [\Omega/\square]$ in the following form:

$$R_s + R_d = 2R_{ohm} + dR_{sh} [\Omega \cdot \text{mm}],$$

where d — is the sum of the source-gate and gate-drain distances in mm. We also will take into account the fact that

$C_{gs,i} = \epsilon_0 \epsilon_B \frac{L_G}{t_B}$ in [pF/mm]. The final expression for $f_T L_G$ [GHz · μm] will be the following:

$$f_T L_G = 10^{-5} \frac{V_{dr}}{2\pi} \left[1 + a(K_B) + \frac{b(K_B)}{K_B} \right]^{-1} [\text{GHz} \cdot \mu\text{m}], \quad (6)$$

where

$$a(K_B) = \frac{2R_{ohm} + dR_{sh}}{6,5} \cdot 10^{-0,065 K_B};$$

$$b(K_B) = \frac{C_{gd}(1 + G_{m,i}(2R_{ohm} + dR_{sh}) + a(K_B)) + C_{gs,ext}a(K_B)}{0,00885 \epsilon_B}.$$

We believe that expression (6) will be suitable as for both arsenide and nitride HEMT. This will be verified further by comparison of the calculated data with the experimental results. At that, we will use as much as possible the parameters of the transistors presented in the works or typical for similar devices. Sets of the used calculated parameters are presented in the table below.

Nitride HEMT

For Version 1 we selected the calculated parameters, most corresponding to the formula (4), based on extrapolation of the parameters of a big number of nitride HEMP [6]. Deviation of the values of $f_T L_G$, received by formulae (4) and (6), did not exceed 1 % within the range of L_G/t_B from 1 up to 100. As one can see, the values of $R_{ohm} = 0,4 \Omega \cdot \text{mm}$, $R_{sh} = 300 \Omega/\square$, $d = 2 \mu\text{m}$ and $G_{m,i} = 400 \text{ mS/mm}$, used for the calculations, are typical for nitride HEMT made by the "old" technology with the alloyed ohmic contacts. It is not surprising, because at the moment of the publication [6] any other technology did not exist yet. It should be pointed out that the simulated drift electron velocity $V_{dr} = 1,216 \cdot 10^7 \text{ cm/s}$ is also close to the value of $1,24 \cdot 10^7 \text{ cm/s}$ [6].

Version 2 uses the set of the parameters of fitting of the formula (6) to more modern results for nitride HEMT presented in [7]. In that case the modern self-aligned technology already was used with nonalloyed ohmic contacts, with MBE n^+ -GaN layer regrowth characterized by extremely small values of the contact resistance (about $0.1 \Omega \cdot \text{mm}$), high intrinsic transconductance $G_{m,i} = 1 \text{ S/mm}$ and small source-gate and gate-drain distances ($0,12 \mu\text{m}$). As one can see from fig. 3, the result of calculations by formula (6) with such parameters coincides well with the experimental data [7].

We should note a behavior of $f_T L_G$ vs L_G/t_B curve, which is inversely proportional at low aspect ratios. That means that in case of L_G reduction the increase of f_T practically stops. This is clearly visible in fig. 4, presenting dependences f_T on L_G for the above considered Versions 1 and 2. These dependences of f_T vs L_G were received by division of the left and the right parts of the formula (6) by L_G . A similar dependence received for the parameters (see the table, Version 3) of the frequency record GaN HEMT ($f_T = 454 \text{ GHz}$, $f_{\text{max}} = 444 \text{ GHz}$), described and studied in [7] is also presented. Fig. 4 also presents the experimental points. None of the constructed dependences reaches 1 THz , even with reduction of the gate length down to 10 nm . Interesting, that even if in expression (6) we turn the values of R_{ohm} and R_{Sh} to zeros (technological limit), we will receive the relation of the following kind:

$$f_T = 10^{-5} \frac{V_{dr}}{2\pi} \left(L_G + \frac{C_{gd}}{0,00885\epsilon_B} \right)^{-1},$$

which at $L_G = 0$ gives the final value of $f_{T,\text{lim}} = 10^{-5} \frac{V_{dr}}{2\pi} \frac{0,00885\epsilon_B}{C_{gd}}$.

If we take the thickness of the barrier of the record HEMT [7] $t_B = 0,006 \mu\text{m}$ and $C_{gd} = 0,85 \text{ pF/mm}$ from the corresponding adjustment parameters (Version 3), we will receive the value of $f_{T,\text{lim}} = 774 \text{ GHz}$, which is considerably less than 1 THz . It is necessary to point out, that the adjustment value of C_{gd} for Version 3 seems abnormally high, because the value of C_{gd} for the models of the highest speed HEMT after deembedding and presented in [7], are approximately 7–8 times lower. However, the model parameters of HEMT presented in the work [7] with $L_G = 20 \text{ nm}$ are not scaled, i.e. they do not allow us to receive the measured values of f_T at big values of $L_G = 40, 60$ and 80 nm and, consequently, they raise certain doubts. It was possible to fit all these points on one curve only at $C_{gd} = 0,85 \text{ pF/mm}$. At that, all the other parameters of calculations correspond to the data accurately. Therefore, the value of $C_{gd} = 0,85 \text{ pF/mm}$ seems to be more trustworthy.

Thus, the basic obstacle in the way to increase the limiting frequencies of HEMT on GaN heterostructures over 1 THz is the excessive value of $t_B C_{gd}$. A possibility of its minimization due to reduction of the thickness of the barrier layer of the nitride heterostructures will be considered below.

Arsenide HEMT on InP substrates

For arsenide HEMT and pHEMT on InP substrates, just like in case with nitride HEMT, the f_T increase slows down with the reduction of the length of the gate. It is illustrated by the experimental curves (fig. 5), presented in [1], along with

the results of calculations according to formula (6) (Version 4). Unfortunately, because of lack of the experimental data, the calculations are somewhat inaccurate, first of all, without proper account of the short-channel effects, but the general course of the dependence is proved. It is obvious, that for reduction of the short-channel effects it is necessary to bring the gate closer to the transistor channel, i.e. to decrease the barrier layer thickness. However, in the pHEMT on InP substrates with the record frequency parameters the used InP barrier layer is already very thin — only 2 nm [3]. It is situated directly above InAs channel with thickness of $5 \dots 10 \text{ nm}$, which ensures the maximal possible electrons drift velocity $(3-4) \cdot 10^7 \text{ cm/s}$ in combination with very high mobility $\mu_e = 13\,000 \text{ V/(cm}^2 \cdot \text{s)}$ [8, 9]. This determines the record frequency parameters of pHEMT with InAs channel, which, so far, have not been surpassed. Although the terahertz limit of f_T values remains unsurpassed, apparently, because of impossibility to get rid of the time delays connected with C_{gd} recharge.

Dependence of the power parameters of nitride HEMT on the barrier layer thickness

Such a dependence should be necessarily taken into account when selecting a suitable material for the devices manufacture with the set properties. Since a developed theory of nitride HEMT does not exist, the empirical data were used based on averaging of the numerous experimental results presented in [6].

Besides the used empirical dependences f_T on L_G and t_B , and also R_{ds} on K_B , another important result [6] is also the diagram of the dependence of U_{BK} on K_B , presented in fig. 6, which we approximated by the following expression:

$$U_{BK} = 7,3(K_B - 2,5)^{0,52} [\text{V}]. \quad (7)$$

As is known, the maximal output power, which can be obtained for an ideal transistor, is equal to:

$$P_{\text{max}} = \frac{I_{\text{sat}}(U_{BK} - U_{\text{sat}})}{8}, \quad (8)$$

where I_{sat} — is the saturation current; U_{BK} — breakdown voltage; U_{sat} — saturation voltage. Thus, the resistance corresponding to the load straight line at the maximal power can be described by the following ratio:

$$R_{\text{load,max}} = \frac{U_{BK} - U_{\text{sat}}}{I_{\text{sat}}}. \quad (9)$$

A real transistor has the output admittance G_{ds} which is taken into account by means of addition to the ideal transistor model of resistance R_{ds} parallel to the load. Thus, simultaneously, the resistance defining the load straight line $R_{\text{load,max}}$ should satisfy the ratio:

$$R_{\text{load,max}} = \frac{R_{ds} R_{\text{load}}}{R_{ds} + R_{\text{load}}}, \quad (10)$$

where R_{load} — is the load resistance; R_{ds} — the internal resistance of the transistor defining its output admittance. In this case total power is distributed between the power allocated in the load ("useful") and the power, released on R_{ds} ("parasitic"). By simple transformations it is possible to come to conclusion, that the power allocated in a load, with ac-

count of the equations (7)–(10) can be described by the expression:

$$P_{load,opt} = \frac{I_{sat}(U_{BK} - U_{sat})}{8} \left(1 - \frac{U_{BK} - U_{sat}}{I_{sat}R_{ds}} \right). \quad (11)$$

At that, the optimal resistance of the load is defined as

$$R_{load,opt} = \left(\frac{I_{sat}}{U_{BK} - U_{sat}} - \frac{1}{R_{ds}} \right)^{-1}. \quad (12)$$

At $R_{ds} \rightarrow \infty$ the expressions (11) и (12) are transformed, correspondingly, into equations (8) и (9).

By differentiating the expression (11) by R_{ds} one can demonstrate that the maximal power in the load is reached at

$R_{ds} = 2 \frac{U_{BK} - U_{sat}}{I_{sat}}$. In this case $R_{load,opt} = R_{ds}$, and expression (11) is reduced to the following simple formula:

$$P_{load,max} = \frac{I_{sat}^2 R_{ds}}{32}. \quad (13)$$

If we assume, that the I_{sat} is proportional to W_G , R_{ds} is in inverse proportion to W_G , and the U_{BK} and U_{sat} do not depend on the W_G , then by placing of the corresponding approximation (5) in the formula (13) we will receive the following expression for the maximal specific power in the load:

$$P_{load,max} = \frac{I_{sat}^2}{32} \cdot 6,5 \cdot 10^{0,065 K_B}. \quad (14)$$

It is very important to underline an interesting result, which we received: the maximal specific power of nitride HEMT is defined not only by the maximal specific current, i.e. the heterostructure parameters, but also by the aspect ratio L_G/t_B . Besides, since at a given f_T simultaneously the required gate length L_G is implied, the only way to increase $P_{load,max}$ is reduction of the t_B preserving the I_{sat} , which stimulates development of effective heterostructures (Al, Ga, In)N.

This result is graphically presented in fig. 7, where possible calculation parameters of the transistors with use of expressions (3) and (8) in $t_B - L_G$ coordinates are simultaneously constructed. As one can see, in order to increase the limiting frequencies, specific powers and breakdown voltages of nitride HEMT it is necessary to apply thinner heterostructures, the admissible barrier thickness t_B in which sharply decreases with an increase of f_T . So, if for W-band (75–110 GHz) it is possible to use the heterostructures with t_B from the minimal possible values up to 22 nm, then for achievement of $f_T > 400$ GHz it is necessary to use only the heterostructures with $t_B < 6$ nm. This agrees well with the parameters of the heterostructures presented in [4, 5, 7] for reception of the limiting frequency parameters of nitride HEMT.

High breakdown voltages and f_T are the basic qualities of a transistor in case of a power increase. Here, an important characteristic is Johnson's figure of merit, which is defined as a product of f_T by U_{BK} . Fig. 8 presents dependence of U_{BK} on f_T for the microwave devices on the basis of different materials. Reduction of the barrier layer thickness of AlGaIn/GaN heterostructure results in increase of both f_T and the breakdown voltage. From this it follows, that the use of "thinner" nitride heterostructures is advantageous for achieving of high values of the output power, both at high frequencies (100 GHz and over), and at low frequencies (1–10 GHz). In this respect

nitride HEMT, apparently, are unequal in the range of frequencies up to 400 GHz at $t_B = 6$ nm and up to 700 GHz at 3 nm. However, as it was demonstrated above, obtaining of such high operating frequencies for nitride HEMT in the planar geometry is impossible.

Conclusion

It was demonstrated with a high degree of confidence that the frequency limit of HEMT on the arsenide and nitride heterostructures had already been reached. Restrictions on the limiting frequencies have a physical character connected with the design of the devices, but not with the properties of the semiconductors. In particular, the decisive parameter in this case is product of $t_B C_{gd}$, the technological potentials for minimization of which, apparently, have been already exhausted. It was established, that the most high-speed transistors are pHEMT on InP substrates, and the most powerful ones are HEMT on nitride SiC heterostructures. However, the breakdown voltages and the specific power parameters of HEMT on the nitride heterostructures at a set working frequency are defined by the barrier layer thickness of the heterostructures and improve with its reduction. This demands development of effective nitride heterostructures with t_B less than 10 nm. In this respect AlN/GaN heterostructures have no competitors thanks to their small thickness, high parameters of the two-dimensional electronic gas and comparative simplicity of the growth process.

The work was done with the financial support of the Ministry of Education and Science of the Russian Federation (grant agreement № 14.604.21.0136, unique identifier of the project RFMEFI60414X0136).

References

1. Shinohara K., Matsui T. Nano-Gate Transistor — World's Fastest InP-HEMT, *Journal of the National Institute of Information and Communications Technology*, 2004, vol. 51, no. 1/2, pp. 95–102.
2. Waldron N., Dae-Hyun Kim, del Alamo J. A. A Self-Aligned InGaAs HEMT Architecture for Logic Applications. *IEEE Transactions on Electron Devices*, 2010, vol. 57, no. 1, pp. 297–304.
3. Dae-Hyun Kim, Brar B., del Alamo J. A. $f_T = 688$ GHz and $f_{max} = 800$ GHz in $L_g = 40$ nm $\text{In}_{0,7}\text{Ga}_{0,3}\text{As}$ MHEMTs with $g_{m,max} > 2,7$ mS/ μm . *IEEE International Electron Devices Meeting*, 5–7 Dec. 2011, 2011, pp. 13.6.1–13.6.4.
4. Lee D. S., Liu Z., Palacios T. GaN high electron mobility transistors for sub-millimeter wave applications, *Japanese Journal of Applied Physics*, 2014, vol. 53, no. 10, p. 100212.
5. Huang T., Liu Z. J., Zhu X., Ma J., Lu X., Lau K. M. DC and RF Performance of Gate-Last AlN/GaN MOSHEMTs on Si With Regrown Source/Drain, *IEEE Transactions on Electron Devices*, 2013, vol. 60, no. 10, pp. 3019–3024.
6. Jessen G. H., Fitch R. C., Gillespie J. K., et al. Short-Channel Effect Limitations on High-Frequency Operation of Al-GaN/GaN HEMTs for T-Gate Devices, *IEEE Transactions on Electron Devices*, 2007, vol. 54, no. 10, pp. 2589–2597.
7. Shinohara K., Regan D. C., Tang Y., et al. Scaling of GaN HEMTs and Schottky Diodes for Submillimeter-Wave MMIC Applications, *IEEE Transactions on Electron Devices*, 2013, vol. 60, no. 10, pp. 2982–2996.
8. Egard M., Ohlsson L., Bord B. M., et al. High transconductance self-aligned gate-last surface channel $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ MOSFET, *IEDM Tech. Dig.*, 2011, pp. 303–306.
9. Kim T.-W., Kim D.-H., Koh D.-H. et al. ETB-QW InAs MOSFET with scaled body for improved electrostatics., *IEDM Tech. Dig.*, 2012, p. 32.3.1–32.3.4.

УДК 621.385:537.533

В. К. Смолин, канд. техн. наук, ст. науч. сотр., **Е. Л. Шоболов**, канд. физ.-мат. наук, нач. отдела, ФГУП "ФНПЦ НИИ измерительных систем им. Ю. Е. Сedaкова", г. Нижний Новгород, e-mail: niiis@niiis.nnov.ru

ВАКУУМНАЯ МИКРОЭЛЕКТРОНИКА — ПЕРСПЕКТИВНЫЙ ПУТЬ СОЗДАНИЯ ЭЛЕМЕНТНОЙ КОМПОНЕНТНОЙ БАЗЫ ДЛЯ ЭКСПЛУАТАЦИИ В ЭКСТРЕМАЛЬНЫХ УСЛОВИЯХ

Поступила в редакцию 25.01.2016

Основная цель разработки нового поколения элементной компонентной базы для создания современной аппаратуры народнохозяйственного, военного и космического назначения — снижение потребляемой мощности, возможность обработки высокоскоростных потоков данных в различных условиях эксплуатации, в том числе и экстремальных. В рамках данной работы выполнен обзор современных областей применения изделий вакуумной микроэлектроники, а также принципов создания автоэмиссионных катодов и радиотехнических устройств на их основе. Проведен анализ методов повышения стабильности и оптимизации характеристик катодов различных типов исполнения. Описаны основные приемы формирования вакуумных интегральных схем.

Ключевые слова: автоэмиссия, холодный (автоэмиссионный) катод, вакуумная интегральная схема, кремний

Введение

Одним из перспективных направлений развития современной электроники является так называемая "вакуумная микроэлектроника" [1, 2]. Этот термин используется для описания приборов или компонентов, имеющих микрометровые геометрические размеры (с нанометровыми допусками на эти размеры), принцип действия которых основан на явлении автоэлектронной эмиссии [2].

Вакуум является идеальной средой для перемещения носителей тока, в которой электроны не рассеиваются на дефектах и колебаниях атомов, как в твердых телах. Основным функциональным элементом прибора вакуумной электроники является эмиттер свободных электронов (холодный или автоэмиссионный катод) [3], принцип действия которого основан на квантовом явлении туннельного эффекта.

Классическая теория эмиссии электронов с поверхности металла основана на предположении, что электроны в зоне проводимости ведут себя как свободные частицы, чье движение в объеме металла ограничивается поверхностью металла за счет наличия скачка потенциальной энергии, в результате чего электроны отражаются от границы, если их энергия недостаточна для преодоления барье-

ра. При наличии внешнего электрического поля с напряженностью E потенциальный барьер изменяет форму на треугольную, приобретает конечную ширину, и становится возможным туннелирование электронов сквозь треугольный барьер. В рамках этой модели плотность тока автоэмиссии выражается формулой Фаулера—Нордгейма [4]:

$$J = aE^2 \exp(-b\phi^{2/3}/E),$$

где ϕ — работа выхода (эВ); E — напряженность электрического поля ($\text{В} \cdot \text{мкм}^{-1}$); J — плотность тока ($\text{А} \cdot \text{мкм}^{-2}$); a и b — функции, зависящие от геометрии и работы выхода.

Относительно недавно появились сообщения [5, 6] об изготовлении (путем травления сфокусированным пучком ионов) кремниевых металлов — оксид — полупроводник (МОП) структур с каналами, заполненными обычным воздухом. Все дело в том, что длина каналов была сравнима (150 нм в [5]) или даже существенно меньше (20 нм в [6]) длины свободного пробега электронов в атмосфере при нормальных условиях (~100 нм). Эти устройства сочетают в себе преимущества баллистического транспорта электронов через вакуум с масштабируемостью, дешевизной и полной совместимостью с кремниевой технологией.

Прогресс микровакуумной технологии за последние годы позволил снизить рабочие напряжения приборов до 10...20 В и разработать боковые микровакуумные структуры, совместимые со стандартной технологией кремний на изоляторе (КНИ) [7]. Полученные результаты повышают интерес к данному классу приборов как основе создания высокопроизводительных микроэлектронных устройств, способных работать в экстремальных условиях эксплуатации.

В [8] приведена предварительная оценка возможных показателей радиационной стойкости вакуумных микроприборов по отношению к основным радиационным эффектам: смещения, ионизационным (объемным и поверхностным) и эффектам воздействия отдельных частиц. Показано, что в полях стационарных ионизирующих излучений могут быть достигнуты показатели радиационной стойкости, на порядок и более превосходящие наивысшие результаты для полупроводниковых приборов. В полях импульсных ионизирующих излучений преимущество вакуумных микроприборов не столь существенно. Это связано с относительно низкими значениями рабочих токов приборов при достаточно высоких напряжениях питания на данном этапе развития технологии.

Высокая стойкость к воздействию температуры и радиации вакуумных микроприборов обусловлена самой природой автоэлектронной эмиссии, лежащей в основе их работы. Кроме этого, для данных устройств ожидается сверхвысокое быстродействие, поскольку баллистический перенос электронов от катода к аноду обеспечивается за очень короткое время пролета — менее одной пикосекунды.

Области применения изделий вакуумной микроэлектроники

К основным преимуществам изделий планарной вакуумной микроэлектроники, обусловливающим проявляемый к ней, в том числе в нашей стране, значительный интерес, можно отнести следующее:

- рабочая частота составляет до $1 \cdot 10^{12}$ Гц (инфракрасный диапазон);
- низкий уровень шумов;
- высокая радиационная стойкость;
- мгновенная готовность к работе;
- широкий диапазон рабочих температур;
- размер микровакуумной ячейки 5×5 мкм;
- экспоненциально высокая крутизна вольт-амперных характеристик.

Наиболее перспективными направлениями применения вакуумных автоэмиссионных микроприборов являются [9]:

- сверхбыстрые переключатели;
- терагерцевые усилители и генераторы;

- дисплеи и телевидение высокой четкости;
- электронно-лучевая литография;
- лазеры на свободных электронах;
- модулированное лазерное излучение до 100 ТГц;
- импульсные источники электронов и ионов;
- устройства с электронным возбуждением;
- оптоэлектронные фильтры и датчики;
- автоэмиссионный прибор (АЭП) + лазер: смешивание электронов и фотонов;
- электролиз воды (получение свободного водорода и кислорода);
- термо- и радиационно стойкие устройства автоматики;
- датчики давления, температуры, излучения, биочипы;
- скоростные ячейки памяти;
- вакуумные суперконденсаторы;
- полевые эмиссионные дисплеи (FED) с высокой плотностью;
- вакуумные интегральные схемы высокой плотности.

Один из стимулов к качественно новому этапу развития вакуумной электроники — начавшаяся интенсивная подготовка компонентной базы для радиоэлектронных систем миллиметрового и терагерцевого диапазонов частот [10]. Отсутствие мощных эффективных и компактных источников терагерцевого излучения — главное препятствие в освоении терагерцевого диапазона. Как правило, размеры и первичная мощность питания объектов, или платформ, на которых предполагается размещать миллиметровые и терагерцевые системы, ограничены. Поэтому приборы на быстрых волнах большой мощности в миллиметровых и терагерцевых областях спектра (например, гиротроны) не могут быть использованы в качестве источников, поскольку они требуют громоздких сверхпроводящих или импульсных магнитов. У традиционных вакуумных приборов на этих частотах из-за трудности прохождения электронных пучков через малоразмерные замедляющие структуры резко падает эффективность. Отсюда возник интерес к вакуумным приборам на основе технологий микроэлектромеханических систем (МЭМС) и современных трехмерных программ проектирования. По сути, речь идет о создании самостоятельной ветви вакуумной СВЧ электроники — вакуумной микроэлектроники миллиметрового и терагерцевого диапазонов. В США разработки вакуумных приборов для подобных систем проводятся по программам High Frequency Integrated Vacuum Electronics (HiFIVE) и THz Electronics (THzE), являющейся развитием программы THz Technology Initiative.

Цель первой фазы программы THzE — создание импульсного усилителя на 670 ГГц мощностью 100 мВт с высоким коэффициентом заполнения. Реализация полностью интегрированных мощных

усилителей на этих частотах будет иметь большое значение для ряда военных применений. Из-за жестких требований к размерам и качеству поверхности замедляющих структур для создания усилителя применялись прецизионные методы микрообработки и сборки, а именно — глубокое реактивное ионное травление или LIGA-технология с использованием чувствительного в ближней УФ области негативного фоторезиста на основе эпоксидной смолы EPON (UV/SU-8-технология). Замедляющая система состояла из двух половин, которые формировались на различных кремниевых пластинах и затем совмещались с точностью до 0,5 мкм. Шероховатость внутренних стенок волновода не превышала 50 нм.

Автоэлектронные микрокатоды

К настоящему времени существует пять базовых конструкций автоэлектронных микрокатодов [11]:

- острые;
- лезвийные;
- торцевые тонкопленочные;
- нанотрубчатые;
- поверхностные.

В качестве примера многоострой матрицы можно рассмотреть эмиттер Спиндта [12] с сотовым управляющим электродом, вид которого приведен на рис. 1. Такой автоэлектронный эмиттер был создан в 70-х годах XX века в Стенфордском университете. Это был один из первых автоэмиссионных приборов, изготавливаемых по групповой технологии. Разработанная технология давала возможность создания решетки автокатодов с молибденовыми остриями, содержавшие до 5000 острий с радиусом скругления ~50 нм и плотностью упаковки $\sim 6,4 \cdot 10^5 \text{ см}^{-2}$. К настоящему времени созданы решетчатые катоды с расстоянием между эмиттерами 0,32 мкм, радиусом острия около 2,5 нм и диаметром отверстия в управляющем электроде 0,16 мкм.

Маска для травления отверстий в структуре металла — изолятор с диаметром 0,16 мкм делается с использованием методов лазерной голографии. Созданы катоды с 9000 острий, расположенных в решетке размерами $30 \times 30 \text{ мкм}$, и с 800 остриями в решетке размерами $9 \times 9 \text{ мкм}$. Рабочее напряжение на управляющем электроде было около 30 В, на аноде (в схеме триода) — 200 В. Расстояние между управляющим электродом и удаленным анодом порядка 100 мкм. Катод с 100 остриями в рабочем режиме дает ток 0,1 мА, что соответствует средней плотности тока $120 \text{ А} \cdot \text{см}^{-2}$.

Схематические изображения некоторых конструкций автоэлектронных систем приведены на рис. 2 и рис. 3 (см. третью сторону обложки).

Исходными материалами для создания автокатодов, в первую очередь, служат тугоплавкие ме-

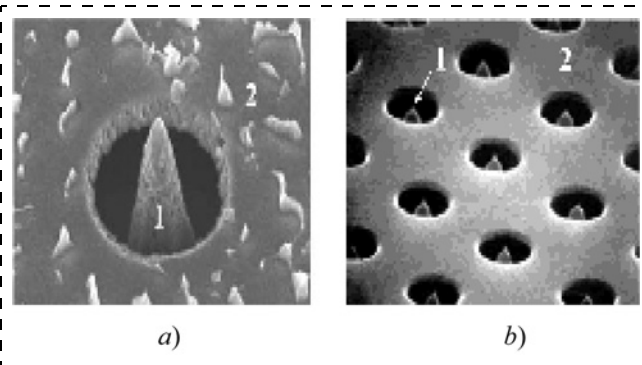


Рис. 1. Электронная фотография микроавтокатодов: а — одиночный автоэлектронный эмиттер Спиндта; б — матрица эмиттеров (1) с сотовым управляющим электродом (2)

Fig. 1. Electronic photo of microautocathodes: a — single autoelectronic emitter of Spindt; b — matrix of emitters (1) with a cellular control electrode (2)

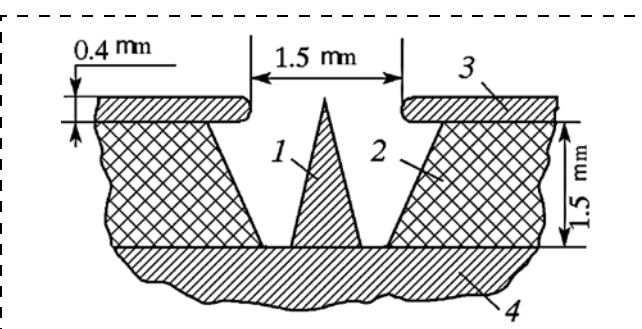


Рис. 2. Схематическое изображение тонкопленочного автоэмиссионного катода Спиндта: 1 — молибденовый конус; 2 — изолирующий слой из диоксида кремния; 3 — молибденовая управляющая пленка; 4 — кремниевая подложка

Fig. 2. Circuit of a thin-film autoemission cathode of Spindt: 1 — molybdenum cone; 2 — isolating layer from silicon dioxide; 3 — molybdenum control film; 4 — silicon substrate

таллы: вольфрам, молибден, рений, платина, а также металлы переходных групп (хром, ниобий, гафний). Бесчисленное множество вариантов для создания автокатодов дают полупроводниковые материалы. По мнению одного из авторитетных исследователей в вакуумной микроэлектронике Г. Грея, решетки автоэмиссионных катодов, изготовленных из монокристаллов кремния, обладают следующими свойствами: имеют большие крутизну и плотность тока и низкую межэлектродную емкость катод/сетка, что важно в сверхвысокочастотном диапазоне длин волн (особенно на миллиметровых волнах).

Для отверстий с диаметром 2 мкм ток эмиссии 1 мА достигался при напряжении 66 В на управляющем электроде. Максимальный ток, снимаемый с одного острия, мог достигать 50 мА. Пожалуй, самое замечательное свойство кремниевых катодов в том, что форма образующегося острия, его радиус округления и высота практически идентичны для всех элементов решетки. Однако автоэмиссионные катоды из кремния имеют более низ-

кую плотность тока, чем металлические катоды. Ситуацию можно исправить, покрывая кремниевые эмиттеры тонким слоем металла или проводящих соединений, например, силицида платины [13, 14].

Однако автокатоды из таких материалов не могут работать длительное время в условиях серийных приборов, так как происходит разрушение микровыступов, определяющих автоэмиссию с рабочей поверхности катода. В 1970-х годах появились первые сообщения об эмиссионных свойствах углеродных материалов (в основном в углеродных волокнах), исследования которых показали их принципиальную перспективность, обусловленную устойчивостью углерода к бомбардировке ионами остаточных газов, а также возможностью снижения работы выхода электронов при определенных структурных модификациях.

Технология изготовления катодов Спиндта заслуживает особого внимания. Она состоит из нескольких этапов [9]:

- окисление высокопроводящей подложки кремния до толщины оксидной пленки $\sim 1,5$ мкм;
- нанесение на окисленную поверхность кремния тонкой пленки молибдена толщиной 0,4 мкм методом электронно-лучевого напыления;
- нанесение на полученную структуру пленки полиметил-метакрилата (ПММ) толщиной ~ 1 мкм. ПММ — высокополимерное соединение, которое представляет собой электронно-чувствительное сопротивление;
- формирование пятен необходимой конфигурации (обычно диаметром ~ 1 мкм с расположением в узлах квадратной решетки с шагом

25,4 мкм или 12,7 мкм) путем экспонирования поверхности ПММ в вакууме сфокусированными электронными пучками;

- растворение экспонированных участков в изопропиловом спирте с последующим травлением лежащего ниже этих участков слоя молибдена до диэлектрика;
- удаление остатков ПММ и травление слоя диэлектрика плавиковой кислотой до кремниевой подложки. В результате образуется структура, показанная на рис. 4, а. Пленка молибдена слегка нависает над отверстием в диэлектрике, так как кислота не действует на молибден;
- методом вакуумного напыления на молибден наносится пленка алюминия. При этом образец непрерывно вращается вокруг вертикальной оси, и напыление происходит под большим углом к ней. Это необходимо, чтобы предотвратить попадание алюминия в отверстия в сетке. Размер отверстия уменьшается до необходимой величины (рис. 4, б);
- через частично закрытое отверстие проводится напыление молибдена, при этом внутри отверстия вырастает конус необходимого размера и высоты. Вершина конуса формируется, когда отверстие полностью закрывается. Эта стадия процесса показана на рис. 4, с;
- вспомогательный слой алюминия растворяется, находящаяся на нем молибденовая пленка удаляется (рис. 4, д). После термической тренировки в вакууме катод готов к применению.

Подробное описание технологических процессов, используемых при изготовлении микровакуумных устройств, можно найти в публикациях [13–16].

Отличительной особенностью описанных выше автоэмиссионных катодов является вертикально расположенное острие. Между тем, еще в середине 60-х годов была высказана и практически реализована идея микровакуумного автоэмиссионного диода и триода, в которых эмиссия происходила с края тонкой металлической пленки, напыленной на диэлектрическую подложку [17]. Их конструкция показана на рис. 5.

При изготовлении использовалась тонкопленочная технология с напылением материалов электродов из точечного источника на подложку с заранее заданным рельефом поверхности. Толщина эмитирующей кромки составляла 10...20 нм, расстояние анод/катод — 6...8 мкм, расстояние катод/управляющий электрод — около 0,5 мкм. При напряжении на аноде 300 В ток менялся от $1 \cdot 10^{-3}$ до 3 мкА при изменении потенциала управляющего электрода от 175 до 250 В. Основные трудности в работе с такими приборами были связаны с получением атомарно-гладкой поверхности эмитирующей кромки для обеспечения равномер-

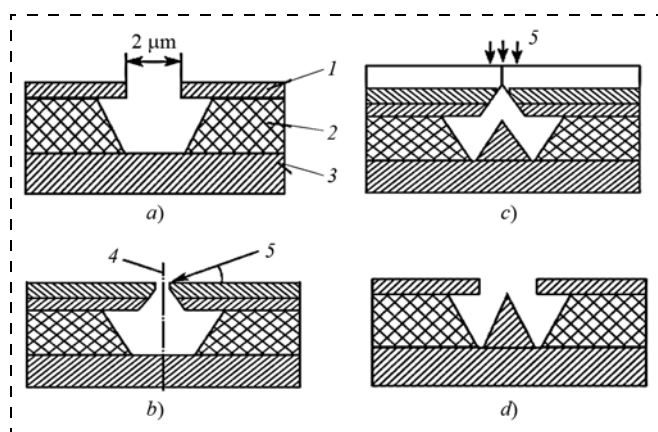


Рис. 4. Технология изготовления тонкопленочного катода Спиндта: а — исходная структура для формирования конуса; б — формирование изолирующего слоя; в — формирование конуса напылением; д — удаление изолирующего слоя; 1 — металлическая пленка; 2 — диэлектрик; 3 — кремниевая подложка; 4 — ось вращения; 5 — направление напыления

Fig. 4. Manufacturing technology of Spindt thin-film cathode: a — initial structure for the cone formation; b — formation of the isolating layer; c — formation of a cone by deposition; d — removal of the isolating layer; 1 — metal film; 2 — dielectric; 3 — silicon substrate; 4 — rotation axis; 5 — direction of deposition

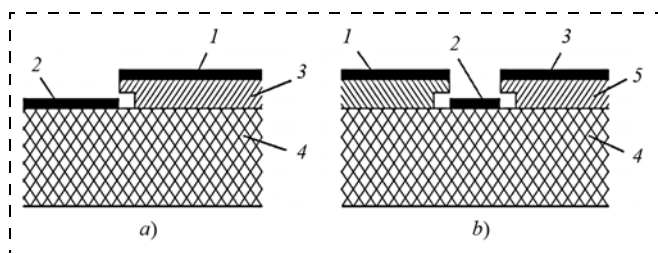


Рис. 5. Микровакuumные устройства с горизонтальной геометрией: *a* — диод (1 — катод; 2 — анод; 3 — пленка, задающая рельеф; 4 — диэлектрическая подложка); *b* — триод (1 — катод; 2 — управляющий электрод; 3 — анод; 4 — диэлектрическая подложка; 5 — пленка, задающая рельеф)

Fig. 5. Microvacuum devices with horizontal geometry: a — diode (1 — cathode; 2 — anode; 3 — film, which determines the relief; 4 — dielectric-substrate); b — triode (1 — cathode; 2 — control electrode; 3 — anode; 4 — dielectric substrate; 5 — film, which determines the relief)

ной эмиссии, а также нестабильность эмиссии во времени.

В настоящее время автоэмиссионные триоды (транзисторы) с горизонтальной геометрией рассматриваются как основные кандидаты для работы на сверхвысоких частотах благодаря присущей их конструкции низкой емкости между эмиттером и управляющим электродом. Для увеличения напряженности поля вблизи катода эмитирующий электрод выполняется в виде гребенки с зубцами прямоугольной [18] или треугольной [19] формы. В работе [20] в плоскую геометрию был введен дополнительный четвертый электрод между управляющим электродом и анодом, так что получился микровакuumный аналог тетрода. В настоящее время технология катодных матриц сведена к стандартным операциям маршрута КМОП-технологии, при этом сами острия исполняются методом локального термического окисления заготовки, созданной в объемном кремнии посредством высокоаспектного реактивно-ионного травления [21]. Отработанный режим травления и локального окисления позволяет получать хорошо воспроизводимую геометрию эмиттера с радиусом скругления 5...10 нм. При формировании управляющих и фокусирующих электродов используются наноструктурированные углеродные пленки, а также тонкие пленки металлов и поликристаллического кремния, разделенные диэлектрическими слоями оксида и нитрида кремния.

Вскрытие самосовмещенных эмиттерных отверстий осуществляется методом химико-механической планаризации (в отличие от "классической" технологии изготовления эмиттера Спиндта, где сначала в металлической пленке, нанесенной на слой диэлектрика, вытравливались отверстия, после чего через эти отверстия травилась полость в диэлектрике и только после этого путем напыления молибдена через отверстия, частично "зарощенные" алюминием, создавались катоды).

Оригинальные конструкции и способы реализации автоэмиссионных катодов с высокими удельной проводимостью и плотностью автоэмиссионного тока приведены в [22—28].

Вакуумные интегральные схемы: конструкторско-технологические решения

Вакуумные интегральные приборы обычно имеют диодную или триодную структуру (катод — затвор — анод), но могут содержать также несколько управляющих электродов (затворов).

Обычная конструкция приборов с полевыми эмиссионными катодами имеет следующий порядок расположения электродов по вертикали на подложке: подложка/катод/затвор/анод. То есть на подложке формируются сначала катод или катоды, которые могут иметь различную форму: конусообразные, в форме лезвия, пленочного типа и др. Далее формируется затвор или затворы и затем анод — отдельный или общий. Такая конструкция широко используется в приборах вакуумной микроэлектроники. Однако при использовании указанной конструкции в полевых эмиссионных дисплеях или в вакуумных интегральных микросхемах возникают известные дополнительные технологические трудности, связанные с формированием спейсеров, поддерживающих анод на определенном расстоянии от подложки, и герметизацией всей структуры прибора. Эти трудности могут быть устранены в приборе с полевыми эмиссионными катодами вертикального типа, который имеет обратный порядок расположения электродов на подложке.

Поперечное сечение конструкции вакуумного интегрального микроэлектронного прибора — диода, предлагаемого в [29], представлено на рис. 6.

Конструкция содержит: подложку 1; анодный слой 2 из электропроводящего материала; разделительный слой 3, содержащий отверстия 8; изолирующий слой 4 с катодными отверстиями 9, совмещенными по вертикали с отверстиями 8; катодный слой 5, выполненный из материала, способного эмиттировать электроны под воздействием

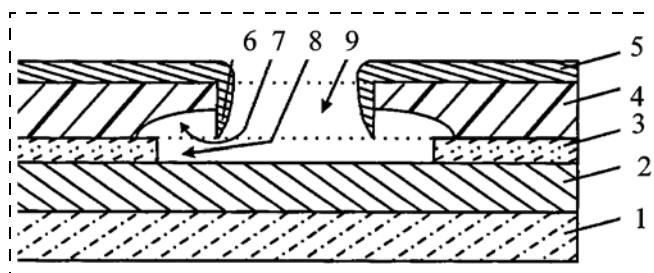


Рис. 6. Сечение конструкции вакуумного интегрального микроэлектронного прибора — диода

Fig. 6. Cross-section of the design of the vacuum integrated micro-electronic device — diode

электрического поля; эмиссионные катоды 6, расположенные в отверстиях 9 изолирующего слоя 5 и выполненные в форме цилиндра. Эмиссионные катоды и катодный слой изготавливаются из одного материала. Верхний край стенки цилиндра 6 контактирует с катодным слоем 5, а нижний острый край стенки цилиндра является эмиссионной поверхностью катода, которая при приложении напряжения более $10^6 \dots 10^7$ В/см испускает электроны. В промежутке между стенкой цилиндра 6 и краем отверстия 8 в разделительном слое сформирована (протравлена) полость 7. Объем полости выбирается таким, чтобы обеспечить минимальные токи утечки между катодом и анодом. Обычно глубина полости меньше толщины изолирующего слоя 5, а глубина равна или больше ширины промежутка между стенкой цилиндра катода и отверстием 8. Преимуществом данной конструкции вакуумного интегрального микроэлектронного прибора с обратным расположением электродов является то, что нижний край стенки цилиндра эмиссионного катода 6 самосовмещен по уровню с нижней поверхностью изолирующего слоя 5 или верхней поверхностью разделительного слоя 3. Такая конструкция позволяет получить более высокую точность позиционирования эмиссионной поверхности катода относительно анода по сравнению с прототипом и значительно уменьшить разброс критических размеров прибора (расстояние анод-катод) при изготовлении. В результате это обеспечивает более высокую воспроизводимость электрических характеристик вакуумных интегральных микроэлектронных приборов.

Достоинством структур с катодами вертикального типа и с обратным порядком расположения электродов на подложке является то, что вершина полевого эмиссионного катода самосовмещена с центром отверстия. Однако рассмотренная конструкция полевого эмиссионного прибора имеет существенный недостаток, обусловленный разбросом позиционирования вершины катода в вертикальном типе, что приводит к изменению критических параметров структуры (расстояние анод/катод, расстояние затвор/катод), к значительному разбросу величины эмиссионного тока от прибора к прибору и в конечном счете к ухудшению воспроизводимости электрических характеристик вакуумных интегральных микроэлектронных приборов при их изготовлении.

Отличительной особенностью технического решения, приведенного в [29], является то, что эмиссионные катоды имеют геометрическую форму цилиндра, внешняя поверхность которого совмещена с внутренней поверхностью катодного отверстия так, что нижний край стенки цилиндра находится на одном уровне с нижней поверхностью изолирующего слоя или с верхней поверхностью разде-

лительного слоя, а верхний край стенки цилиндра имеет электрический контакт с катодным слоем, при этом в изолирующем слое в промежутке между стенкой цилиндра эмиссионного катода и краем отверстия в разделительном слое имеется полость (7), глубина которой равна или меньше толщины изолирующего слоя, а ширина больше или равна ширине промежутка. В качестве подложки применяют кремний, стекло или керамику; анодный слой выполняют из проводящего материала (Pt, Re, Nb, Al или поликремния (Si^*)); разделительный слой может быть выполнен из материала диэлектрика (SiO_2 , Si_3N_4). Рассмотренный способ формирования цилиндрического катода позволяет в результате получить острое эмиссионное лезвие цилиндрической формы, которое самосовмещено с нижней поверхностью изолирующего слоя (или с верхней поверхностью разделительного слоя), что обеспечивает высокую точность позиционирования катода относительно других электродов прибора, в данном случае — анода. На модели показаны также формы межслойных вакуумных СВЧ переходов.

В [30] представлен микроблок объемных интегральных вакуумных схем логических СВЧ систем обратной волны для сверхвысоконадежных ЭВМ, способных эксплуатироваться в экстремальных условиях. Микроблок (рис. 7) содержит в объеме одну над другой планарные интегральные микросхемы с заданным координатно-позиционным расположением на подложках-носителях. Каждая планарная интегральная структура содержит вертикальные сквозные микропрофили, образующие

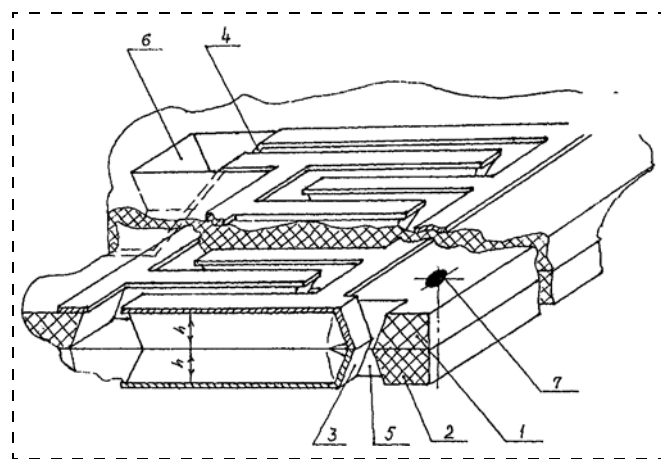


Рис. 7. Объемный микроблок вакуумных интегральных схем логических СВЧ систем обратной волны (модель из замедляющих систем типа "встречные штыри"): 1, 2 — диэлектрические носители; 3, 4 — токопроводящие пленочные элементы рабочей топологии; 5 — микрополость перехода типа "клин"; 6 — микрополость перехода типа "терраса", h — толщина диэлектрических носителей

Fig. 7. Volumetric microblock of the vacuum integrated circuits of the logic microwave systems of a reverse-traveling wave (model from the slowing down systems of the "counter pin" type): 1, 2 — dielectric carriers; 3, 4 — conducting film elements of the working topology; 5 — transition microcavity of the "terrace" type; h — thickness of the dielectric carriers

вертикальные сквозные микрополости, над ними нависают кромки пленочных элементов рабочей топологии с углами между ними и стенками микрополостей заданной величины. Микрополости в диэлектрических носителях выполнены вертикально сквозными, причем микропрофили в местах межслойных соединений в контакте с пленочными элементами образуют конструкции типа "клин" и "терраса" в диэлектрических носителях, у которых толщины выбраны из размерного ряда 70...100 мкм.

Технологический маршрут изготовления микротриодов с холодным катодом на основе углеродных нанотрубок, приведенный в [31], состоит в следующем:

- осаждение вольфрама на кремниевую пластину;
- осаждение нитрида кремния;
- осаждение пленки оксида кремния;
- осаждение слоя Si*;
- нанесение фоторезистной маски методом фотолитографии;
- травление до слоя нитрида кремния;
- напыление слоя катализационного металла (самые лучшие свойства полевой эмиссии получают с использованием нанотрубок, выращенных на никелевой пленке толщиной 4...5 нм);
- осаждение углеродных нанотрубок (лазерное испарение, испарение дугой или химическое осаждение паров).

Кроме того, в [31] отмечается, что в качестве холодных катодов могут быть использованы ферроэлектрики (в частности, пьезокерамика), применение которых позволяет получить на порядок большую плотность эмиссионного тока, причем даже в отсутствие внешнего приложенного поля. Таким образом, они могут работать в газе со слабым давлением или плазме.

Оригинальные технические решения интегральных вакуумных схем приведены также в [32, 33].

Заключение

Открылась новая эра вакуумных электронных приборов и вакуумных интегральных схем с автоэлектронной эмиссией. Эти новые приборы обладают сверхвысоким быстродействием (субпикосекундным), высокой устойчивостью к радиации, слабой чувствительностью к температуре и весьма большим КПД. Приборы вакуумной микроэлектроники могут быть использованы как усилители и генераторы миллиметрового диапазона длин волн, в системах непосредственного телевизионного вещания со спутников с использованием тридцатисантиметровых антенн и менее, в РЛС, телефонных системах сотовой связи, в вакуумных катодолюминесцентных экранах с холодным катодом Спиндта и т. п.

Необходимость построения аппаратуры гигагерцевого и терагерцевого диапазонов очевидна и многое будет зависеть от того, насколько отечественная промышленность сможет использовать приобретенный ранее опыт электровакуумной техники и интегральной микроэлектроники, соединив его с современными технологиями вакуумной микроэлектроники.

Список литературы

1. **Zhu W.** Vacuum Microelectronics. Wiley-Interscience, 2001. 396 p.
2. **Трубецков Д. И.** Вакуумная микроэлектроника // Соросовский образовательный журнал. 1997. № 4. С. 58—64.
3. **Трубецков Д. И., Рожнев А. Г., Соколов Д. В.** Лекции по сверхвысокочастотной вакуумной микроэлектронике. Саратов: Колледж, 1996. 238 с.
4. **Добрецов Л. Н., Гомоюнова М. В.** Эмиссионная электроника. М.: Наука, 1966. 564 с.
5. **Jin-Woo Han, Jae Sub Oh and M. Meeyappan.** Vacuum nanoelectronics: Back to the future? — vacuum channel transistor // Appl. Phys. Lett. 2012. Vol. 100. P. 213505—509.
6. **Siwapon Srisophon, Yun Suk Jung and Hong Koo Kim.** Metal—oxide — semiconductor field-effect transistor with a vacuum channel // Nature Nanotech. 2012. N 7. P. 504—508.
7. **Soon-Soo Park, Dong-II Park, Sung-Ho Hahn, Jong-Hyun Lee et al.** Fabrication of a Lateral Field Emission Triode with a High Current Density and High Transconductance Using the Local Oxidation of the Polysilicon Layer // IEEE Trans. on Electron. 1999. Vol. ED-46, N 6. P. 1283—1289.
8. **Скоробогатов П. К.** Радиационная стойкость вакуумных микроприборов: состояние и перспективы // Научная сессия МИФИ. Т. 1. Автоматика. Электроника. Микроэлектроника. Электронные измерительные системы. 2001. С. 48—49.
9. **Дюжев Н. А., Махиборода М. А., Сковрцов В. Э.** Электроннолучевой микродисплей высокого разрешения на базе кремниевого автоэмиссионного нанокатода // Первый международный Форум по нанотехнологиям, 3—5 декабря 2008 г., Москва. Сборник тезисов докладов научно-технологических секций. Т. 2. С. 80—82.
10. **Виколов И.** Вакуумная СВЧ электроника в 2010 году: к миллиметровому и терагерцевому диапазонам // Электроника: НТБ, 2011. № 2. С. 108—119.
11. **Горфинкель Б.** Вакуумная микроэлектроника и плоские дисплеи. URL: <http://bgorf.land.ru/micro.html#mic>.
12. **Spindt C. A., Brodie I., Humphrey L. and Westerberg E.** Physical properties of thin-film field emission cathodes with molybdenum cones // Journal of Applied Physics. 1976. Vol. 47, N. 12. P. 5248—5263.
13. **Кузнецов Г. Д., Курочка С. П., Курочка А. С.** Вакуумная и плазменная электроника: Курс лекций. М.: Изд. дом МИСиС, 2009. 161 с.
14. **Балан Н. Н., Ивашов Е. Н., Лучников П. А., Невский А. Б.** Острийные эмиттеры электронов микроприборов и конструктивно-технологические особенности их изготовления // Вестник науки Сибири. Сер. "Инженерные науки". 2012. № 3 (4). С. 89—98.
15. **Asano T.** Simulation of geometrical change effects on electrical characteristics of micrometer-size vacuum triode with field emitters // IEEE Trans. on ED. 1991. Vol. ED-38, N. 10 (October). P. 2392—2394.
16. **Кияшко С. В.** Исследование нелинейных волновых взаимодействий в распределенных системах радиодиапазона. Автореф. дисс. канд. физ.-мат. наук, Горький, 1980. 16 с.
17. **Чесноков В. В.** Электронные лампы с автоэлектронными катодами // Электронная техника. Сер. 5. "Приемно-усилительные лампы". 1968. № 4. С. 3—11.
18. **Itoh J., Kanemaru S., Tsuburaya K., Watanabe T., Itoh S.** Emission characteristics of a comb-shape metal-film-edge field

emitter array: Fifth Int // Vacuum Microelectronics Conf. July 13–17, Vienna, Austria. 1992. P. 3–5.

19. Kanemaru S., Itoh J. Fabrication and characterization of lateral fieldemitter triodes // IEEE Trans. on ED. 1991 (October). Vol. ED-38, N. 10. P. 2334–2336.

20. Komatsu H. Fabrication and characteristics of vacuum microelectronic devices with a lateral field electron emission cathode: Fourth Int. Vacuum Microelectronics Conf. Nagahama, Japan, 1991. P. 48–49.

21. Agache V., Ringot R., Bigotte P., Senez V., Legrand B., Buchailot L., Collard D. Modeling and experimental validation of sharpening mechanism based on thermal oxidation for fabrication of ultra-sharp silicon nanotips // IEEE Trans. on Nanotechnology. 2005. Vol. 4, N. 5. P. 548–554.

22. Лупарев Н. В., Попов М. Ю., Бормашов В. С. и др. Автоэмиссионный катод. Пат. РФ № 2504858, опублик. 20.04.2014.

23. Солнцев В. А. Автоэмиссионный катод и электронный прибор. Пат. РФ № 2161836, опублик. 10.01.2001.

24. Гиваргизов Е. И., Жирнов В. В., Степанова А. Н., Оболенская Л. Н. Матричный автоэлектронный катод и электронный прибор для оптического отображения информации. Пат. РФ № 2074444, опублик. 27.02.1997.

25. Галдецкий А. В., Мухуров Н. И. Автоэмиссионный катод и электронный прибор на его основе (варианты). Пат. РФ № 2187860, опублик. 20.08.2002.

26. Харламов В. Ф. Холодный катод. Пат. РФ № 2408947, опублик. 10.01.2011.

27. Дзбановский Н. Н., Пилевский А. А., Рахимов А. Т., Суегин Н. В., Тимофеев М. А. Холодноэмиссионный пленочный катод и способы его получения. Пат. РФ № 2161838, опублик. 10.01.2002.

28. Бляблин А. А., Кандидов А. В., Пилевский А. А., Рахимов А. Т., Самородов В. А., Суегин Н. В., Тимофеев М. А., Селезнев Б. В. Холодноэмиссионный пленочный катод и способ его получения. Пат. РФ № 194328, опублик. 10.12.2002.

29. Огурцов О. Ф., Казуров Б. И., Красников Г. Я. Вакуумный интегральный микроэлектронный прибор и способ его изготовления. Пат. РФ № 2332745, опублик. 27.08.2008.

30. Подвигалкин В. Я. Объемный микроблок вакуумных интегральных схем логических СВЧ-систем обратной волны. Пат. РФ № 2507679, опублик. 20.02.2014.

31. Григоришин И. Л., Игнашев Е. П., Дубровенская И. Е., Котова И. Ф., Кравец Г. М., Сурмач О. М. Вакуумная интегральная схема. Пат. РФ № 529687, опублик. 15.08.1994.

32. Сычик В. А. Микроэлектронный вакуумный прибор. Пат. РФ № 2010380, опублик. 30.03.1994.

33. Волков В. В. Способ изготовления вакуумной интегральной микросхемы с элементами типа электронной лампы и вакуумная интегральная микросхема. Пат. РФ № 2250534, опублик. 29.04.2005.

V. K. Smolin, Ph. D., Senior Scientist, E. L. Shobolov, Ph. D., Head of Department, Research Institute of Measuring Systems named after Yu. Ye. Sedakov, niis@niis.nnov.ru

Vacuum Microelectronics — a Promising Way for Development of ECB for Operation in Extreme Conditions

The main aim of development of a new generation of the electronic component base (ECB) is creation of modern equipment for economic, military and space applications, with lower power consumption, high-speed processing of data in various operation conditions, including extreme ones. Within this project a review was done of the modern spheres for application of the vacuum microelectronic products, and also of the principles for manufacture of the autoemission (field emission) cathodes and radio engineering devices on their basis. An analysis was done of the methods to improve stability and optimization of characteristics of different kinds of cathodes. Major techniques for designing of the vacuum integrated circuits were described.

Keywords: autoemission, cold (autoemission, field emission) cathode, vacuum integrated circuit, silicon

Introduction

Vacuum microelectronics [1, 2] is one of the promising directions in development of electronics. This term is used for description of the devices or components of the micrometer geometrical sizes (with nanometer tolerance), the principle of operation of which is based on the phenomenon of autoelectronic emission [2].

Vacuum is the ideal environment for displacement of the current carriers in which the electrons do not dissipate on the defects and fluctuations of the atoms. The main element of a vacuum electronic device is an emitter of free electrons (cold or autoemission cathode) [3], the principle of operation of which is based on the quantum phenomenon of the tunnel effect.

The classical theory of emission of the electrons from a metal surface is based on the assumption, that in a conductivity zone the electrons behave as free particles, whose movement in a metal volume is limited by the metal surface due to a jump of the potential energy, as a result of which the electrons are reflected from the border, if their energy is insufficient for overcoming of the barrier. In the presence of an external field with intensity of E the potential barrier changes the form for a triangular one, acquires the final width, and

tunneling of the electrons through a triangular barrier becomes possible. Within the framework of the model the current density of autoemission is expressed by Fowler — Nordheim formula [4]:

$$J = aE^2 \exp(-b\phi^{2/3}/E),$$

where ϕ — is the work function (eV); E — intensity of the electric field ($V \cdot \mu m^{-1}$); J — current density ($A \cdot \mu m^{-2}$); a and b — the functions depending on the geometry and the work function.

Not long ago messages appeared [5, 6] about manufacture (etching by a focused bunch of ions) of the silicon metal-oxide-semiconductor (MOS) structures with the channels filled with air. The fact is that the length of the channels is comparable (150 nm in [5]) or even is considerably less (20 nm in [6]) than the length of a free run of the electrons in the atmosphere in normal conditions (~100 nm). Such devices combine the advantages of a ballistic transport of the electrons through the vacuum with the scalability, low cost and full compatibility with the silicon technology.

Progress in the microvacuum technology allows us to lower the working pressure of the devices down to 10...20 V and develop the lateral microvacuum structures compatible with the standard silicon on insulator (SOI) technology [7]. The

obtained results provoke interest to the given class of the devices as a basis for the high-efficiency microelectronic devices, capable to operate in extreme conditions.

In [8] an estimation is presented of the possible radiation resistance of the vacuum micro-devices to the basic radiation effects: displacement, ionization (volumetric and surface) and the influence of separate particles. It demonstrates that the indicators of the radiation resistance, reached in the fields of the ionizing radiation, can be 10 times and over higher than the best results for the semi-conductor devices. In the fields of the pulse ionizing radiation the advantages of the vacuum micro-devices are not so considerable. This is due to rather low working currents of the devices at high power supply voltages at the given stage of the technology development.

High resistance of the vacuum microdevices to temperature and radiation is determined by the nature of the autoelectronic emission, underlying their operation. Such devices promise ultra-high speed operation, because a ballistic transfer of the electrons from the cathode to the anode is ensured in a brief flight time — less than a picosecond.

Spheres of application of the vacuum microelectronic products

Among the major advantages of the products of the planar vacuum microelectronics, which determine the interest to them in our country and elsewhere, the following ones can be enumerated:

- the working frequency is up to $1 \cdot 10^{12}$ Hz (infra-red range);
- low noise level;
- high radiation resistance;
- instant operationability;
- a wide range of the working temperatures;
- the size of a microvacuum cell is $5 \times 5 \mu\text{m}$;
- exponentially high steepness of the volt-ampere characteristics.

The most promising directions for application of the vacuum autoemission microdevices are [9]:

- superfast switches;
- terahertz amplifiers and generators;
- displays and high-definition TV;
- electron-beam lithography;
- free electron lasers;
- modulated laser radiation up to 100 THz;
- pulse sources of electrons and ions;
- devices with electronic excitation;
- optoelectronic filters and sensors;
- autoemission device (AED) + laser: mixing of electrons and photons;
- water electrolysis (production of free hydrogen and oxygen);
- thermo- and radiation-proof automatic devices;
- sensors of pressure, temperature, radiation, and biochips;
- high-speed memory cells;
- vacuum supercondensers;
- high density field emission displays (FED);
- high density vacuum integrated circuits.

One of the stimuli for a new stage of development of the vacuum electronics is the going on intensive preparation of the component base for the radio-electronic systems of the millimeter and terahertz frequency bands [10]. Lack of powerful effective and compact sources of the terahertz radiation is the main obstacle for development of the terahertz range.

As a rule, the dimensions and the primary power supplies of the objects or platforms, on which it is planned to install the millimeter and terahertz systems, are limited. Therefore, the fast-wave and big-power devices in the millimeter and terahertz spectrum areas (for example, gyrotrons) cannot be used as the sources, because they demand bulky superconducting or pulse magnets. The efficiency of the vacuum devices on these frequencies sharply falls because of the difficulty of passage of the electronic bunches through the low-sized slowing down structures. This determined an interest to the vacuum devices on the basis of the technologies of microelectromechanical systems (MEMS) and three-dimensional programs of designing. As a matter of fact, it is a question of creation of an independent branch of the vacuum microwave electronics — vacuum microelectronics of the millimeter and terahertz ranges. In the USA development of the vacuum devices for such systems is within the competence of the programs of High Frequency Integrated Vacuum Electronics (HiFIVE) and THz Electronics (THzE), which is development of THz Technology Initiative.

The aim of the first phase of THzE program is development of a pulse amplifier of 670 GHz and power of 100 mW with a high fill factor. Realization of the completely integrated powerful amplifiers on these frequencies will be of great importance for a number of military applications. Because of the rigid requirements to the dimensions and quality of the surface of the slowing down structures, for creation of the amplifier the precision methods of microprocessing and assemblage were used, namely, deep jet ionic etching or LIGA-technology with the use of the photoresist, sensitive in the near-negative UV range, on the basis of EPON epoxy resin (UV/SU-8-technology). The slowing down system consisted of two halves, which were formed on different silicon plates and then combined with the accuracy up to $0,5 \mu\text{m}$. The roughness of the inner walls of the wave guide did not exceed 50 nm.

Autoelectronic microcathodes

There are five basic designs of the autoelectronic microcathodes [11]:

- pointed;
- edge;
- face thin-film;
- nanotube;
- surface.

As an example of a multi-pointed matrix it is possible to consider Spindt emitter [12] with a cellular control electrode (fig. 1). Such an autoelectronic emitter was developed in 1970s in Stand-ford University. It was one of the first autoemission devices made by a group technology. The technology made it possible to develop an autocathode lattice with molybdenum points, containing up to 5000 points with the curvature radius $\sim 50 \text{ nm}$ and packing density $\sim 6,4 \cdot 10^5 \text{ cm}^{-2}$. The lattice cathodes were developed with the distance between the emitters equal to $0,32 \mu\text{m}$, point radius about $2,5 \text{ nm}$ and the diameter of the aperture in the control electrode of $0,16 \mu\text{m}$.

A mask for etching of apertures in the metal-insulator structure with diameter of $0,16 \mu\text{m}$ is manufactured with the use of the methods of laser holography. Cathodes were developed with 9000 points situated in a lattice of $30 \times 30 \mu\text{m}$, and with 800 points situated in a grid of $9 \times 9 \mu\text{m}$. The operating voltage on the control electrode is about 30 V, on the

anode (in triode circuit) — 200 V. A cathode with 100 points in operation mode provides current of 0,1 mA, which corresponds to the average current density of $120 \text{ A} \cdot \text{cm}^{-2}$.

Images of the designs of the autoelectronic systems are presented in fig. 2 and fig. 3 (see 3-rd side of cover).

The initial materials for the autocathodes are refractory metals: tungsten, molybdenum, rhenium, platinum, and also metals of the transition group (chromium, niobium, hafnium). The semiconductor materials provide a countless number of versions for development of autocathodes. According to G. Gray, one of the authoritative researchers in the vacuum microelectronics, the lattices of the autoemission cathodes from silicon monocrystals have a big steepness and current density and low interelectrode cathode/grid capacity, which is important in the microwave range of the wavelengths (especially, millimeter waves).

For apertures with diameter of $2 \text{ } \mu\text{m}$ the emission current of 1 mA is reached at voltage of 66 V on the control electrode. The maximum current taken from one point can reach 50 mA. The most wonderful property of the silicon cathodes is that the form of the point, its radius of rounding and height are practically identical for all the elements of a lattice. However, the autoemission cathodes from silicon have lower current density, than the metal cathodes. The situation can be corrected by covering the silicon emitters with a thin layer of metal or conducting compounds, for example, platinum silicide [13, 14].

However, the autocathodes from such materials cannot work for long time in the conditions of serial devices, because of destruction of the microedges, which determine autoemission from the working surface of a cathode. In 1970s there were reports about the emission properties of the carbon materials (basically, in carbon fibers), the researches of which proved that they were promising because of the carbon's stability to bombardment by ions of the residual gases and also possibility of decreasing the work function of electrons in case of certain structural modifications.

The manufacturing technology of Spindt cathodes deserves special attention. It includes several stages [9]:

- oxidation of a high-conductivity silicon substrate up to the thickness of an oxide film $\sim 1,5 \text{ } \mu\text{m}$;
- deposition of a thin film of molybdenum with thickness of $0,4 \text{ } \mu\text{m}$ on the oxidized surface of silicon by the method of electron-beam deposition;
- deposition of a polymetal-methacrylate film (PMM) with thickness of $\sim 1 \text{ } \mu\text{m}$ on the structure. PMM is a high-polymeric compound, which represents an electron-sensitive resistance;
- formation of spots of the necessary configuration (usually with diameter of $\sim 1 \text{ } \mu\text{m}$ with arrangement in the nodes of a square lattice with a step of $25,4 \text{ } \mu\text{m}$ or $12,7 \text{ } \mu\text{m}$) by the method of exposure of PMM surface in vacuum to the focused electronic beams;
- dissolution of the exposed sites in isopropyl alcohol with the subsequent etching of the layer of molybdenum, situated below those sites, up to a dielectric;
- removal of the remains of PMM and etching of the dielectric layer by hydrofluoric acid up to the silicon substrate. A structure appears presented in fig. 4, *a*. The molybdenum film slightly hangs over the aperture in dielectric, because the acid has no effect on molybdenum;
- an aluminum film is deposited on molybdenum by the method of a vacuum deposition. At that, the sample con-

tinuously rotates round the vertical axis and the deposition is done at a big angle to it. This is necessary in order to prevent aluminum hit in the apertures in the lattice. The size of the aperture decreases down to the necessary size (fig. 4, *b*);

- through the partially closed apertures deposition of molybdenum is done, at that, inside the aperture a cone arises of the necessary size and height. The cone top is formed, when the aperture is completely closed. This stage is shown in fig. 4, *c*;
- the auxiliary layer of aluminum is dissolved, the molybdenum film on it is removed (fig. 4, *d*). After a thermal processing in vacuum the cathode is ready for application.

One can find a detailed description of the technological processes used for manufacturing of the microvacuum devices in [13–16].

A distinctive feature of the described autoemission cathodes is the vertically situated point. Back in 1960s an idea was expressed and realized of the microvacuum autoemission diodes and triodes, in which emission occurred from the edge of a thin metal film deposited on a dielectric substrate [17] (fig. 5).

For their manufacture the thin-film technology was used with deposition of the electrode materials from a dot source on a substrate with a set relief of the surface. The thickness of the emitting edge was $10 \dots 20 \text{ nm}$, the anode/cathode distance — $6 \dots 8 \text{ } \mu\text{m}$, the cathode/control electrode distance — about $0,5 \text{ } \mu\text{m}$. At voltage of 300 V on the anode the current varied from $1 \cdot 10^{-3}$ up to $3 \text{ } \mu\text{A}$ with a change of the potential of the control electrode from 175 up to 250 V. The main problems with operation of such devices are connected with obtaining of an atomic-smooth surface of the emitting edge for a uniform emission, and also instability of the emission in time.

The autoemission triodes (transistors) with horizontal geometry are considered as the basic devices for operation on ultrahigh frequencies due to their inherent design of low capacity between the emitter and the control electrode. In order to increase the field tension near the cathode the emitting electrode is made in the form of a comb with the teeth of rectangular [18] or triangular [19] forms. In [20] an additional, the fourth electrode is introduced into the flat geometry between the control electrode and the anode, so that a microvacuum analogue of a tetrode is formed.

The technology of the cathode matrixes boils down to the standard operations of a CMOS technology route, the points themselves are manufactured by the method of a local thermal oxidation of a workpiece created in volume silicon by means of high-aspect reactive-ionic etching [21]. The mode of etching and local oxidation allows us to obtain a well reproducible geometry of the emitter with the radius of rounding of $5 \dots 10 \text{ nm}$. During formation of the control and focusing electrodes the nanostructured carbon films are used, as well as thin films of metals and polycrystalline silicon, divided by the layers of oxide and silicon nitride.

Opening of the self-aligned emitter apertures is carried out by means of the chemical-mechanical planarization (unlike "the classical" manufacturing technology for production of Spindt emitter, where, at first, apertures were etched in the metal film deposited on a dielectric layer, then through these apertures cavities were etched in the dielectric, and after that the cathodes were made by deposition of molybdenum through the apertures, partially "filled with" aluminum).

The original designs and ways of realization of the autoemission cathodes with high specific conductivity and density of the autoemission current are presented in [22–28].

Vacuum integrated circuits: design-technological solutions

The vacuum integrated devices usually have a diode or triode structure (cathode-gate-anode), but they can contain several control electrodes (gates).

A standard design of the devices with field emission cathodes has the following order of a vertical arrangement of the electrodes on a substrate: substrate/cathode/gate/anode. First a cathode or cathodes are formed on a substrate, and they can have various forms: cone-shaped, edge-shaped, film type, etc. Then the gate or gates are formed and then a separate or common anode is formed. Such a design is used in the vacuum microelectronic devices. However, its use in the field emission displays or in vacuum integrated microcircuits causes additional difficulties connected with formation of the spacers, keeping the anode at a certain distance from the substrate, and with the hermetic sealing of the structure of the device. These difficulties can be eliminated in a device with field emission cathodes of the vertical type, which has a reverse order of arrangement of the electrodes on a substrate.

The cross-section of the design of the vacuum integrated microelectronic device — diode, offered in [29], is presented in fig. 6.

The design contains: substrate 1; anode layer 2 from an electroconducting material; dividing layer 3 containing apertures 8; isolating layer 4 with the cathode apertures 9 vertically aligned with apertures 8; cathode layer 5 made from a material, capable to emit electrons under the influence of the electric field; emission cathodes 6 located in apertures 9 of the isolating layer 5 and made in the form of a cylinder. The emission cathodes and the cathode layer are made from one material. The upper edge of the cylinder 6 wall contacts with the cathode layer 5, while its lower sharp edge is the emission surface of the cathode, which emits electrons, when voltage over $10^6 \dots 10^7$ V/cm is applied. In the interval between the wall of the cylinder 6 and the edge of the aperture 8 in the dividing layer a cavity is formed (etched). The volume of the cavity is selected in way to ensure the minimal leakage currents between the cathode and the anode. Usually, the depth of the cavity is less than the thickness of the isolating layer 5, while the depth is equal to or more than the width of the interval between the wall of the cylinder of the cathode and aperture 8. An advantage of the given design of the vacuum integrated microelectronic device with a reverse arrangement of the electrodes is that the bottom edge of the wall of the cylinder of the emission cathode 6 is self-aligned by the level with the bottom surface of the isolating layer 5 or the top surface of the dividing layer 3. The design allows us to obtain a higher accuracy of positioning of the emission surface of the cathode in relation to the anode in comparison with the prototype and to reduce the spread of the critical dimensions of the device (anode-cathode distance) during its manufacture: As a result, this ensures higher reproducibility of the electric characteristics of the vacuum microelectronic devices.

An advantage of the structures with the cathodes of the vertical type and reverse order of electrodes on the substrate is that the top of the field emission cathode is aligned with the aperture centre. However, such a design of a field emission device has an essential drawback determined by the spread

of positioning of the cathode top in the vertical type, which results in a change of the critical parameters of the structure (the anode/cathode and gate/cathode distances), considerable spread of the emission current from one device to another, and, finally, deterioration of the reproducibility of the electric characteristics of the vacuum integrated microelectronic devices during their manufacture.

A distinctive feature of the technical solution in [29] is that the emission cathodes have the geometrical form of a cylinder, the external surface of which is aligned with the internal surface of the cathode aperture, so that the bottom edge of the cylinder wall is at the same level with the bottom surface of the isolating layer or with the top surface of the dividing layer, while the upper edge of the cylinder wall has an electric contact the cathode layer, thus, in the isolating layer, in the interval between the cylinder wall of the emission cathode and the aperture edge in the dividing layer there is a cavity (7), the depth of which is equal to or less than the thickness of the isolating layer, and the width is more or equal to the width of the interval.

As a substrate, the silicon, glass or ceramics are applied; the anode layer is made from a conducting material (Pt, Re, Nb, Al or polysilicon (Si^*)); the dividing layer is made from a dielectric material (SiO_2 , Si_3N_4). The considered method of formation of the cathode allows us to obtain a sharp emission edge of the cylindrical form, which is self-aligned with the bottom surface of the isolating layer (or with the top surface of the dividing layer), which ensures a high accuracy of positioning of the cathode in relation to the other electrodes of the device, in this case — anode. The model also demonstrates the forms of the interlaminar vacuum microwave junctions.

In [30] the microblock is presented of the volumetric integrated vacuum circuits of the logical microwave systems of a reverse-traveling wave for the super-reliable computers, capable to operate in extreme conditions. The microblock (fig. 7) contains in a volume, one over another, the planar integrated microcircuits with the set coordinate-positioning arrangement on the substrates-carriers. Each planar integrated structure contains vertical through microprofiles, forming vertical through microcavities, over them there are edges of the film elements of the working topology and corners between them and the walls of the microcavities of the set dimensions. The microcavities in the dielectric carriers are made vertically through, at that, in the places of interlaminar connections in contact with the film elements the microprofiles form designs of the "wedge" and "terrace" types in the dielectric carriers, the thicknesses of which are chosen from the dimensional range of $70 \dots 100$ μm .

The technological route of manufacturing of the microtriodes with a cold cathode on the basis of carbon nanotubes, presented in [31], consists of the following actions:

- deposition of tungsten on a silicon plate;
- deposition of nitride of silicon;
- deposition of silicon oxide film;
- deposition of Si^* layer;
- deposition of a photoresist mask by the method of photolithography;
- etching up to the layer of nitride of silicon;
- deposition of a layer of a catalyst metal (the best properties of the field emission are obtained with the use of the nanotubes, grown in a nickel film with thickness of $4 \dots 5$ nm);

- deposition of the carbon nanotubes (laser evaporation or arc evaporation or chemical sedimentation of vapors).

In [31] it is pointed out, that as cold cathodes it is possible to use ferroelectrics (piezoelectric, in particular), application of which allows to receive about 10 times higher density of the emission current, and even in absence of the external applied field. Thus, they can work in gas with a low pressure or plasma.

The original technical solutions of the integrated vacuum circuits are also presented in [32, 33].

Conclusion

Due to autoelectronic emission a new era of the vacuum electronic devices and vacuum integrated circuits has begun. These new devices possess ultrahigh (subpicosecond) speed, high resistance to radiation, low sensitivity to temperature and very high coefficient of efficiency. The vacuum microelectronic devices can be used as amplifiers and generators of the millimeter wavelength band, in the systems of a direct TV broadcasting from satellites with the use of 30-cm aeriels and even less, in the radars, cellular telephone communication systems, in vacuum cathode-luminescent displays with Spindt cold cathode, etc.

Necessity for development of the equipment of the gigahertz and terahertz ranges is obvious, and much will depend on how the domestic industry will be able to make use of the previously acquired experience in the electrovacuum technologies and integrated microelectronics, combining it with the modern technologies of the vacuum microelectronics.

References

1. **Zhu W.** *Vacuum Microelectronics*. Wiley-Interscience, 2001. 396 p.
2. **Trubeckov D. I.** Vakuumnaya mikro'elektronika, *Sorovskiy obrazovatel'nyy zhurnal*, 1997, no. 4, pp. 58—64.
3. **Trubeckov D. I., Rozhnev A. G., Sokolov D. V.** *Lekcii po sverkhvysokochastotnoj vakuumnoj mikro'elektronike*. Saratov: Kolledzh, 1996. 238 p.
4. **Dobrecov L. N., Gomoyunova M. V.** *Emissionnaya elektronika*. Moscow: Nauka, 1966. 564 s.
5. **Jin-Woo Han, Jae Sub Oh and M. Meyyappan.** Vacuum nanoelectronics: Back to the future? — vacuum channel transistor, *Appl. Phys. Lett.*, 2012, vol. 100, pp. 213505—509.
6. **Siwapon Srisonphan, Yun Suk Jung and Hong Koo Kim.** Metal-oxide-semiconductor field-effect transistor with a vacuum channel, *Nature Nanotech*, 2012, no. 7, pp. 504—508.
7. **Soon-Soo Park, Dong-Il Park, Sung-Ho Hahm, Jong-Hyun Lee et al.** Fabrication of a Lateral Field Emission Triode with a High Current Density and High Transconductance Using the Local Oxidation of the Polysilicon Layer, *IEEE Trans. on Electron*, 1999, vol. ED-46, no. 6, pp. 1283—1289.
8. **Skorobogatov P. K.** Radiacionnaya stojkost' vakuumnnyh mikroprivorov: sostoyanie i perspektivy, *Nauchnaya sessiya MIFI2001*. T. 1. Avtomatika. 'Elektronika. Mikro'elektronika. 'Elektronnye Izmeritel'nye sistemy, pp. 48—49.
9. **Dyuzhev N. A., Mahiboroda M. A., Skvorcov V. E.** Elektronoluchevoy mikrodysplej vysokogo razresheniya na baze kremnievogo avto'emissionnogo nanokatoda, *Pervyy mezhdunarodnyy Forum po nanotekhnologiyam, 3—5 dekabrya 2008 g.*, Moscow. URL: [http://rusnanotech08.rusnanoforum.ru/sadm_files/disk/Docs/2/6/6%20\(II\).pdf](http://rusnanotech08.rusnanoforum.ru/sadm_files/disk/Docs/2/6/6%20(II).pdf)
10. **Vikulov I.** Vakuumnaya SVCh 'elektronika v 2010 godu: k millimetrovomu i teragercevomu diapazonam, *Elektronika: NTB*, 2011, no. 2.
11. **Gorfinkel' B.** *Vakuumnaya mikro'elektronika i ploskie displei*. URL: <http://bgorf.land.ru/micro.html#mic>.
12. **Spindt C. A., Brodie I., Humphrey L., Westerberg E.** Physical properties of thin-film field emission cathodes with moiybdenum cones, *Journal of Applied Physics*, 1976, vol. 47, no. 12, pp. 5248—5263.
13. **Kuznecov G. D., Kurochka S. P., Kurochka A. S.** *Vakuumnaya i plazmennaya elektronika: Kurs lekcij*. M.: Izd. dom MISiS, 2008.
14. **Balan N. N., Ivashov E. N., Luchnikov P. A., Nevskij A. B.** Ostrijnye emittery elektronov mikroprivorov i konstruktivno-technologicheskie osobennosti ih izgotovleniya, *Vestnik nauki Sibiri, Seriya Inzhenernye nauki*, 2012, no. 3 (4), pp. 89—98.
15. **Asano T.** Simulation of geometrical change effects on electrical characteristics of micrometer-size vacuum triode with field emitters, *IEEE Trans. on ED*, 1991, vol. ED-38, no. 10 (October), pp. 2392—2394.
16. **Kiyashko S. V.** *Issledovanie nelinejnyh volnovykh vzaimodejstvij vraspredelennyh sistemah radiodapazona*: Avtoref. diss. kand. fiz.-mat. nauk., Gor'kij, 1980. 16 p.
17. **Chesnokov V. V.** Elektronnye lampy s avtoelektronnymi katodami, *Elektronnaya tekhnika. Ser. 5. Priemno-usilitelnye lampy*, 1968, no. 4, pp. 3—11.
18. **Itoh J., Kanemaru S., Tsuburaya K., Watanabe T., Itoh S.** Emission characteristics of a comb-shape metal-film-edge field emitter array: Fifth Int. *Vacuum Microelectronics Conf.* July 13—17, 1992, Vienna, Austria. Program and Abstracts. 1992, pp. 3—5.
19. **Kanemaru S., Itoh J.** Fabrication and characterization of lateral fieldemitter triodes, *IEEE Trans. on ED*. 1991 (October), vol. ED-38, no. 10, pp. 2334—2336.
20. **Komatsu H.** Fabrication and characteristics of vacuum microelectronic devices with a lateral field electron emission cathode: Fourth Int., *Vacuum Microelectronics Conf. Nagahama*, Japan, 1991, pp. 48—49.
21. **Agache V., Ringot R., Bigotte P., Senez V., Legrand B., Buchailot L., Collard D.** Modeling and experimental validation of sharpening mechanism based on thermal oxidation for fabrication of ultra-sharp silicon nanotips, *IEEE Trans. on Nanotechnology*, 2005, vol. 4, no. 5, pp. 548—554.
22. **Luparev N. V., Popov M. Yu., Bormashov V. S. i dr.** *Avto'emissionnyy katod*. Pat. RF № 2504858, opubl. 20.04.2014.
23. **Solncev V. A.** *Avtoemissionnyy katod i elektronnyy pribor*. Pat. RF № 2161836, opubl. 10.01.2001.
24. **Givargizov E. I., Zhirnov V. V., Stepanova A. N., Obolenskaya L. N.** *Matrichnyy avtoelektronnyy katod i elektronnyy pribor dlya opticheskogo otobrazheniya informacii*. Pat. RF № 2074444, opubl. 27.02.1997.
25. **Galdeckij A. V., Muhurov N. I.** *Avtoemissionnyy katod i elektronnyy pribor na ego osnove (varianty)*. Pat. RF № 2187860, opubl. 20.08.2002.
26. **Harlamov V. F.** *Holodnyy katod*. Pat. RF № 2408947, opubl. 10.01.2011.
27. **Dzbanovskij N. N., Pilevskij A. A., Rahimov A. T., Suetin N. V., Timofeev M. A.** *Holodnoemissionnyy plenochnyy katod i sposoby ego polucheniya*. Pat. RF № 2161838, opubl. 10.01.2002.
28. **Blyablin A. A., Kandidov A. V., Pilevskij A. A., Rahimov A. T., Samorodov V. A., Suetin N. V., Timofeev M. A., Seleznev B. V.** *Holodnoemissionnyy plenochnyy katod i sposob ego polucheniya*. Pat. RF № 194328, opubl. 10.12.2002.
29. **Ogurcov O. F., Kazurov B. I., Krasnikov G. Ya.** *Vakuumnnyy integral'nyy mikroelektronnyy pribor i sposob ego izgotovleniya*. Pat. RF № 2332745, opubl. 27.08.2008.
30. **Podvigalkin V. Ya.** *Ob'emnyy mikroblok vakuumnnyh integral'nyh shem logicheskikh SVCh-sistem obratnoj volny*. Pat. RF № 2507679, opubl. 20.02.2014.
31. **Grigorishin I. L., Ignashev E. P., Dubrovenskaya I. E., Kotova I. F., Kravec G. M., Surmach O. M.** *Vakuumnaya integral'naya shema*. Pat. RF № 529687, opubl. 15.08.1994.
32. **Sychik V. A.** *Mikroelektronnyy vakuumnnyy pribor*. Pat. RF № 2010380, opubl. 30.03.1994.
33. **Volkov V. V.** *Sposob izgotovleniya vakuumnoj integral'noj mikroshemy s elementami tipa elektronnoj lampy i vakuumnaya integral'naya mikroshema*. Pat. RF № 22250534, opubl. 29.04.2005.

П. А. Александров, д-р физ.-мат. наук, директор Института информационных технологий НИЦ "Курчатовский институт", **В. В. Бударгин**, канд. физ.-мат. наук, ст. науч. сотр., **А. М. Горемыкин**, главный специалист, **В. И. Жук**, канд. физ.-мат. наук, вед. науч. сотр., **В. Л. Литвинов**, д-р физ.-мат. наук, вед. науч. сотр.,
НИЦ "Курчатовский институт", Москва, e-mail: alexandrov_pa@nrcki.ru

О ПОСТРОЕНИИ ДУБЛИРОВАННЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ДЛЯ ПОВЫШЕНИЯ ОТКАЗОУСТОЙЧИВОСТИ МИКРОСХЕМ ПРИ ОБЛУЧЕНИИ

Поступила в редакцию 23.11.2015

Рассмотрены способы построения логических элементов с дублированием и без дублирования их структуры. В этих способах не используют какие-либо аппаратные средства для обнаружения ошибки, а верный выходной сигнал формируется за счет внутреннего резервирования в дублированном элементе. Дан анализ влияния одиночных обрывов и коротких замыканий в транзисторах, диодах, резисторах и обрывов в межсоединениях на выходной сигнал дублированного логического элемента с дублированием его структуры. Приведена сравнительная оценка вероятностей отказа микросхем, построенных на логических элементах с дублированием и без дублирования их структуры, при облучении.

Ключевые слова: нанoeлектроника, микроэлектроника, отказоустойчивость, отказ, резервирование в электронных системах, дублирование логических элементов, межсоединения, облучение

Введение

В работах [1–5] нами был предложен способ постоянного покомпонентного дублирования цифровых микросхем, ориентированный на повышение их отказоустойчивости при облучении, и метод оценки их отказоустойчивости, названный в работе [5] методом оценки отказоустойчивости облучаемых микросхем "по их площадям" и в дальнейшем уточненный в работе [6]. На основе этого метода можно провести сравнительную оценку различных способов постоянного резервирования при разных видах облучения. Он может быть использован в нанoeлектронике, когда размер резервируемого компонента сравним с областью повреждения микросхемы от воздействия одного нейтрона, и в микроэлектронике¹ с современными размерами приборов (транзисторов, диодов, резисторов)² — электронных компонентов логических элементов. Этот метод будет использован в данной статье для оценки вероятности отказа микросхем, построенных с использованием различных видов дублирования логических элементов. Однако отметим, что метод оценки отказоустойчивости микросхем "по площадям" абстрагируется от специфики схемных решений и типов дефектов — "обрыв" или "короткое замыкание" (КЗ). Тем не менее при его исполь-

¹ Области применения этого метода оценки будут уточняться.

² Термин "прибор" как электронный компонент логических элементов (вентилей) используется в литературе (см. например, [7]). Использование этого краткого общего термина для обозначения резисторов представляется оправданным, поскольку роль резисторов в микросхемах часто выполняют транзисторы.

зовании будут рассматриваться только внезапные отказы [8], возникающие при дефектах типа "обрыв" и КЗ. Постепенные отказы [8] будут отнесены к разновидности внезапных отказов.

Предложенный в работах [1–6] способ постоянного покомпонентного дублирования характеризуется тем, что в нем не использованы какие-либо аппаратные средства (в частности схемы сравнения) для обнаружения ошибки, а верный выходной сигнал дублированного компонента формируется за счет внутреннего резервирования в этом компоненте. В работе [1] были предложены два варианта этого способа: в первом из них дублируемый компонент представляет собой логический элемент, не содержащий памяти, а во втором варианте дублируемый компонент — транзистор. Требование отсутствия памяти в дублируемом компоненте является важным. В обоих вариантах было предложено располагать дублирующие друг друга компоненты на расстоянии между ними, превышающем размер области повреждения микросхемы от одной частицы. Этот способ предусматривает возможность дублирования межсоединений и увеличения их ширины, чтобы она превышала размер области повреждения от одной частицы излучения.

Предложенный способ основан на предположении, что отказ дублированного компонента происходит только при отказе двух входящих в него дублируемых компонентов, а при отказе только одного любого из них дублированный компонент продолжает работать безотказно.

В работе [6] было показано, что вероятность P_2 отказа дублированной микросхемы, содержащей

$N \gg 2$ одинаковых дублированных компонентов, при ее облучении составит

$$P_2 = P_{\Pi}^2 / 0,5N, \quad (1)$$

где P_{Π} — вероятность отказа гипотетической нерезервированной микросхемы, состоящей из N непарных дублируемых компонентов, т. е. компонентов, не дублирующих ни один компонент в этой гипотетической микросхеме.

Поскольку дублируемый компонент в дублированной микросхеме может занимать площадь, большую, чем компонент нерезервированной микросхемы, то можно показать, что

$$P_{\Pi} = bP_{\text{н}}, \quad (2)$$

где $P_{\text{н}}$ — вероятность отказа нерезервированной микросхемы, состоящей из N нерезервированных компонентов; $b \geq 1$ — коэффициент, показывающий во сколько раз площадь дублируемого компонента превышает площадь нерезервированного компонента; $b = 1$, когда дублируемый компонент является транзистором, и $b > 1$, когда дублируемый компонент представляет собой логический элемент; в последнем случае значение коэффициента b зависит от числа входов логического элемента, его схемы и резервирования входящих в него компонентов.

Из выражений (1) и (2) видно, что вероятность отказа дублированной микросхемы существенно ниже вероятности отказа нерезервированной микросхемы при тех же условиях облучения.

Возможны два основных способа построения дублированного логического элемента, соответствующих двум следующим вариантам дублирования, предложенным в работе [1].

Первый вариант состоит в дублировании структуры логического элемента, когда дублируемым компонентом является логический элемент.

Второй вариант состоит в построении дублированного логического элемента без резервирования его структуры, когда дублируемым компонентом является прибор, входящий в состав логического элемента, в частности транзистор.

Построение дублированного логического элемента без резервирования его структуры тривиально сводится к простой замене каждого одиночного компонента (в частности транзистора) в нерезервированном логическом элементе на пару дублирующих друг друга таких же компонентов, например, одиночных транзисторов.

Рассмотрим сначала более сложный первый вариант, а именно построение дублированного логического элемента с дублированием его структуры. В этом случае необходимо построить схему дублируемого логического элемента, позволяющую объединять пару таких элементов в один дублированный логический элемент простым соединением их

одноименных входов и их выходов. При этом схема дублируемого элемента должна быть такой, чтобы на выходе дублированного элемента формировался верный сигнал, как при исправных входящих в него дублируемых элементах, так и в случае отказа одного из них.

В работе [9, с. 18] отмечается, что выходы логических схем нельзя соединять ввиду неопределенности выходного сигнала и возможности выхода из строя соединяемых логических элементов. Этот запрет обходится в работах [1–5] тем, что в каждом дублирующем элементе устанавливается выходной каскад, требующий незначительных затрат аппаратуры и позволяющий соединять выходы двух таких каскадов, входящих в дублированный элемент.

Второе препятствие к объединению двух дублируемых элементов в один дублированный элемент состоит в трудности обеспечения формирования верного выходного логического сигнала дублированного элемента при отказе одного из входящих в него дублируемых элементов. Обеспечение формирования верного выходного логического сигнала дублированного логического элемента при отказе одного из входящих в него дублируемых элементов может быть достигнуто за счет резервирования компонентов внутри дублирующих элементов. При этом можно отказаться от резервирования каждого компонента в дублирующем элементе и от полного (параллельного и последовательного) дублирования резервируемых компонентов с тем, чтобы защититься только от влияния наиболее вероятных дефектов.

В работе [1] было предложено ввести резервирование только во входном (или, иначе говоря, логическом) каскаде дублируемого элемента. Так, например, в работе [1, фиг. 4] было предложено дублировать входные диоды элемента И-НЕ, выходной каскад которого содержит только диод.

Решение проблемы построения дублированных логических элементов с дублированием их структуры зависит от выбора входящих в них активных и пассивных компонентов. В работе [1] был дан пример построения элемента И-НЕ на основе биполярных транзисторов и полупроводниковых диодов. Целью этого примера было показать, что построение дублированного логического элемента в принципе возможно. В дальнейшем в работе [4] был дан пример построения дублированного логического элемента ИЛИ-НЕ на полевых транзисторах.

В данной работе более подробно рассматривается построение дублированного логического элемента на полевых транзисторах с дублированием его структуры, обсуждается влияние различных видов дефектов на выходной сигнал дублированного логического элемента, предлагается новая схема этого элемента и дается оценка аппаратных затрат для разных вариантов резервирования внутри дублируемых элементов.

1. Подход к оценке влияния неверных логических выходных сигналов в дублированных логических элементах на вероятность отказа дублированной микросхемы при облучении

Неверные логические выходные сигналы дублированных элементов могут возникать в зависимости от сочетаний входных логических сигналов при различных дефектах в компонентах дублируемого логического элемента. В общем случае под компонентами логического элемента здесь понимаются приборы и межсоединения. Будем считать, что попадание одной частицы в прибор может вызвать только одиночный дефект типа "обрыв" или КЗ, а при попадании частицы в некоторую точку межсоединения в ней может произойти только "обрыв". Будем считать также, что КЗ точек межсоединения с источником питания или землей невозможно. Попадание частицы в различные точки межсоединения может в соответствии с эквивалентной электрической схемой дублируемого элемента вызвать разные по своему влиянию на эту схему дефекты. Поэтому такие разные по своему влиянию точки межсоединения следует условно считать компонентами дублируемого логического элемента.

Модель покомпонентно дублированной микросхемы, для которой выведена формула вероятности ее отказа (1), предусматривает использование только таких дублированных компонентов, которые выдают верный выходной сигнал при отказе одного из двух входящих в него дублируемых компонентов [5, 6]. Назовем идеальными эту модель дублированной микросхемы, ее дублированные компоненты, а также дублируемые компоненты, образующие идеальный дублированный компонент. Однако реальные дублированные компоненты могут оказаться неидеальными, вследствие дефектов, неучтенных при проектировании, или дефектов, влияние которых не устранено в связи с экономией аппаратуры ввиду их малой вероятности.

Во всех случаях, когда на выходе неидеального дублированного компонента при отказе одного дублируемого компонента возникает верный сигнал, дублированный компонент работает как идеальный, и для нахождения вероятности отказа дублированной микросхемы используется ее идеальная модель. В тех же случаях, когда на выходе дублированного компонента при отказе одного любого его дублируемого компонента возникает неверный сигнал, для нахождения вероятности отказа той же микросхемы используется модель удвоенной нерезервированной микросхемы, в которой нерезервированными компонентами служат дублируемые компоненты дублированной микро-

схемы. Чем больше приборов в дублируемом компоненте, тем больше возможных дефектов в нем. В качестве наиболее крупного дублируемого компонента будем рассматривать логический элемент. Влияние части возможных дефектов дублируемого логического элемента на выходной логический сигнал дублированного элемента компенсируется, с одной стороны, за счет дублирования логических элементов, а с другой стороны, за счет резервирования внутри дублируемого элемента. Будем называть эти дефекты компенсируемыми. Однако оставшаяся часть дефектов будет влиять на вероятность отказа дублированной микросхемы. Будем называть эти дефекты некомпенсируемыми.

Число случаев, в которых на выходе дублированного логического элемента при отказе одного любого его дублируемого элемента возникает неверный сигнал, определяется произведением числа некомпенсируемых дефектов на число возможных входных кодов (комбинаций логических сигналов) логического элемента.

Попробуем теперь весьма приблизительно оценить это влияние некомпенсируемых дефектов на вероятность отказа дублированной микросхемы. С учетом формулы (1) вероятность отказа неидеальной дублированной схемы будет

$$P_d = 2P_{\text{п}}\mu + [P_{\text{п}}(1 - \mu)]^2/0,5N, \quad (3)$$

где величины $P_{\text{п}}$ и N — определены выше; μ — доля случаев, когда дублированный компонент при его работе под влиянием некомпенсируемых дефектов срабатывает как неидеальный,

$$\mu = K_{\text{нек}}/K, \quad (4)$$

где K — общее число всех возможных случаев возникновения дефектов в дублируемом компоненте при всех его входных кодах; $K_{\text{нек}}$ — число случаев влияния некомпенсируемых дефектов в дублируемом компоненте при всех его входных кодах; $\mu < 1$.

Хотя в общем случае некомпенсируемыми дефектами могут быть дефекты разных типов, дефекты некоторых типов могут быть маловероятными, что позволяет их не учитывать. Это позволяет существенно уменьшить значение μ .

Численно оценить величину μ очень трудно, поскольку неизвестны вероятности разных типов дефектов. Однако для случая, когда дублирование логических элементов компенсирует все или почти все дефекты типа "обрыв", а вероятность дефектов типа КЗ при действии облучения равна или близка к нулю, можно принять, что $\mu = 0$. Таким же образом можно принять, что $\mu = 0$, когда дублирование логических элементов компенсирует все или почти все дефекты типа КЗ, а вероятность дефектов типа "обрыв" при действии облучения равна или близка к нулю. Разумеется, надо всегда стремиться к уменьшению величины μ . В разд. 3 будет

дана оценка коэффициента μ для одной схемы неидеального дублируемого логического элемента, приведенной в качестве примера. И указаны технические меры для уменьшения этого коэффициента.

2. Общий подход к обеспечению верного логического выходного сигнала дублированного логического элемента на полевых транзисторах с дублированием его структуры

Для разных типов полевых транзисторов могут быть разработаны различные схемы дублированного логического элемента без памяти. Число таких схем может быть огромным. Так, например, в работе [10, с. 158] сообщается, что только на транзисторах МДП-типа можно построить 196 вариантов инверторов. Однако нас интересует лишь простой пример схемы дублированного логического элемента. В качестве примера будем строить эту схему на полевых транзисторах n -канального типа [11, с. 426]. В качестве примера типового логического элемента как и в работе [3] выберем элемент ИЛИ-НЕ, поскольку реализация этой логической функции осуществляется без последовательного включения транзисторов, которое требует уменьшения сопротивления открытого транзистора. В связи с этим в работе [10, с. 174] не рекомендуется применение элементов И-НЕ, поскольку они требуют последовательного включения транзисторов.

В дублированном логическом элементе ИЛИ-НЕ без учета его входных сигналов невозможно автоматически определить, верен ли его выходной сигнал. Однако благодаря дублированию во входном (т. е. логическом) каскаде дублируемого элемента, можно предотвратить появление неверного выходного логического сигнала "1". Появление же неверного выходного логического сигнала "0" на выходе логического каскада дублируемого элемента не ведет к появлению неверного выходного сигнала "0" на выходе дублированного элемента. На этом основана идея обеспечения верного выходного сигнала дублированного элемента.

3. Схемы дублированного логического элемента ИЛИ-НЕ

На рис. 1 показан простой пример нерезервированного двухвходового элемента ИЛИ-НЕ, который предстоит дублировать. Он состоит из двух управляющих транзисторов T_1 , T_2 и резистора R .

Будем рассматривать двухвходовой дублированный элемент ИЛИ-НЕ с дублированием его структуры, в котором наряду с транзисторами использованы резисторы и диод (рис. 2). Возможен также второй вариант схемы этого элемента, в которой в качестве резисторов и диода используются транзисторы (на рисунках не показан). Первый вариант

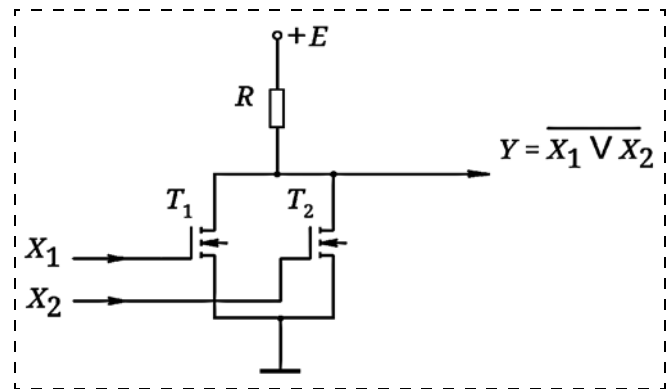


Рис. 1. Нерезервированный элемент ИЛИ-НЕ

Fig. 1. Non-redundant element NOR

(рис. 2) более наглядно демонстрирует принцип действия дублируемого логического элемента, а второй облегчает подсчет количества аппаратуры в этом элементе, поскольку единица аппаратуры одна — транзистор.

Дублированный логический элемент ИЛИ-НЕ (рис. 2) состоит из двух одинаковых дублируемых логических элементов ИЛИ-НЕ₁ и ИЛИ-НЕ₂. Дублирующие друг друга транзисторы T_{1-1} и T_{1-2} представляют один дублированный транзистор, управляемый входным сигналом X_1 , а дублирующие друг друга транзисторы T_{2-1} и T_{2-2} — один дублированный транзистор, управляемый входным сигналом X_2 . Входной (логический) каскад каждого дублируемого логического элемента содержит транзисторы T_{1-1} , T_{1-2} , T_{2-1} , T_{2-2} и резистор R_2 . Выходной каскад каждого дублируемого логического элемента содержит диод D и резистор R_2 . Такой выходной каскад позволяет соединять выходы двух дублируемых элементов в один общий выход, на котором при правильной работе дублированного элемента должен формироваться логический сигнал Y , соответствующий логической функции ИЛИ-НЕ от входных сигналов X_1 и X_2 . При обрыве цепи "исток—сток" в любом одном из пар транзисторов T_{1-1} , T_{1-2} и T_{2-1} , T_{2-2} выходные сигналы входных каскадов дублируемых элементов и выходной сигнал дублированного логического элемента оказываются верными. Буквами a_1 , a_2 , b_1 , b_2 , c , d , e , f , g , h на рис. 2 в верхнем дублируемом элементе ИЛИ-НЕ₁ и крестиками отмечены точки межсоединений, выбранные нами для проверки работы дублированного элемента ИЛИ-НЕ при обрыве межсоединения в этих точках.

Поскольку в соответствии с принятой моделью отказа дублированной микросхемы [1—6] дублированный логический элемент при отказе одного своего дублируемого логического элемента должен выдавать верный выходной сигнал, то проверим правильность работы двухвходового дублированного элемента ИЛИ-НЕ при дефектах, возникаю-

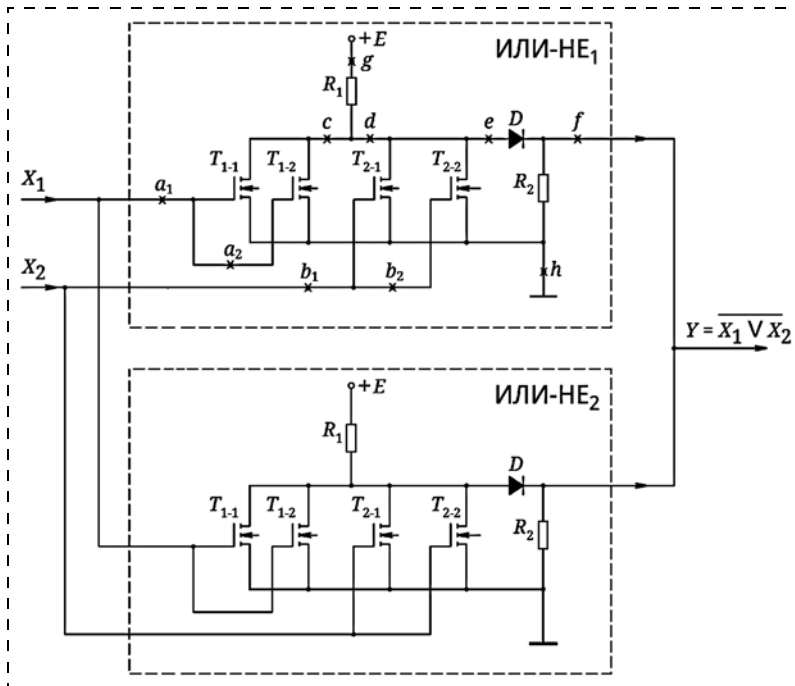


Рис. 2. Дублированный элемент ИЛИ-НЕ с дублированием его структуры (с резисторной нагрузкой и диодом без дублирования)
Fig. 2. Duplicated element NOR with duplicating of its structure (with resistor load and diode without duplication)

щих только в одном из его дублируемых элементов при всех возможных его входных кодах. Результаты этой проверки представлены в табл. 1—4. Для получения результата проверки для каждого дефекта при каждом входном коде логического элемента строили его эквивалентную электрическую схему с учетом данного дефекта. Эти результаты получены при следующих условиях:

- частицы могут создавать дефекты только в одном из дублируемых элементов (для примера в качестве такого элемента выбран дублируемый элемент ИЛИ-НЕ₁);
- рассматриваются случаи возникновения дефекта одновременно только от одной частицы, которая создает только один дефект — "обрыв", либо КЗ;
- при попадании частицы в транзистор возможен либо обрыв цепи "исток—сток", либо КЗ этой цепи;
- при попадании частицы в резистор или в диод возможен либо их обрыв, либо их КЗ;
- при попадании частицы в любую из точек $a_1, a_2, b_1, b_2, c, d, e, f, g, h$ происходит обрыв межсоединения в этой точке;
- случаи КЗ между любой точкой межсоединения и источником питания, либо землей, либо какой-либо другой точкой межсоединения не рассматриваются.

В столбцах табл. 1 под шапкой "Обрывы в приборах" указаны "обрывы" в каждом приборе (транзисторе, резисторе или диоде). В табл. 2 и 3 в

столбцах "Точки обрыва" указаны обрывы в каждой отмеченной на рис. 2 точке обрыва. В табл. 4 в столбцах "КЗ в приборах" указаны короткие замыкания в каждом приборе (транзисторе, резисторе или диоде). В каждой из этих таблиц под шапкой "Результат" указаны результаты проверки правильности выходного логического сигнала для дублированного логического элемента (последний столбец справа) и выходного сигнала дублируемого элемента ИЛИ-НЕ₁, работающего автономно, т. е. без соединения его выхода с выходом дублируемого элемента ИЛИ-НЕ₂ (предпоследний столбец справа). Результат проверки указывается знаком "+" (плюс), если выходной логический сигнал верный, либо знаком "—" (минус), если этот сигнал неверный. Положительный результат проверки помечается также обозначением "+*", если выходной сигнал верен, но изменяется сопротивление на выходе дублированного логического элемента ИЛИ-НЕ. Остальные обозначения в этих таблицах либо ясны из рис. 2

и указаны выше в тексте, либо раскрыты в примечаниях в табл. 4.

Из табл. 1 видно, что дублированный логический элемент верно работает при обрывах транзисторов, диода и резисторов в нем, что важно для случаев, когда вероятны в основном дефекты типа "обрыв", вызванные излучением. В табл. 2 имеются всего три случая, когда при обрыве межсоединения под действием частицы излучения на выходе дублированного логического элемента появляется неверный результат. Можно исключить эти обрывы межсоединений, увеличивая ширину межсоединений или дублируя межсоединения на "опасных" участках. Обрывы межсоединений, указанные в табл. 3, не приводят к неверным результатам на выходе дублированного элемента.

Общее число возможных случаев возникновения дефектов типа "обрыв" в схеме дублируемого элемента ИЛИ-НЕ на рис. 2 при всех его входных кодах будет

$$K = 2^q(n_{ed} + n_i), \quad (5)$$

где q — число логических входов этого элемента; n_{ed} — число приборов в этом элементе; n_i — число контрольных точек внутренних межсоединений этого элемента.

Для схемы на рис. 2 при $q = 2, n_{ed} = 7, n_i = 10$, имеем $K = 68$. Общее число $K_{нек}$ случаев влияния некомпенсируемых дефектов типа "обрыв" в дублируемом элементе при всех его входных кодах найдем из табл. 1, 2 и 3 как число случаев, в ко-

торых выходной сигнал дублированного элемента ИЛИ-НЕ будет неверным. $K_{\text{нек}}$ — это суммарное число знаков "—" (минус) в столбцах "Дублированный элемент" в этих таблицах. Из таблиц видно, что $K_{\text{нек}} = 3$ (см. табл. 2). Тогда в соответствии с (4) получим $\mu = 3/68 = 0,044$. Однако, если сделать межсоединения, отмеченные контрольными точками a_2 и b_2 , настолько шире, чтобы "обрывы" в них не случались, или если дублировать эти межсоединения, то для схемы на рис. 2 получим $\mu = 0$. При дефектах типа КЗ число неверных выходных сигналов в схеме на рис. 2 будет равно числу знаков, отличных от "+" в столбце "Дублированный компонент" табл. 4. Тогда при $n_i = 0$ (поскольку КЗ в межсоединениях не бывает, а КЗ между межсоединениями нами не учитываются), получим $K = 28$, $K_{\text{нек}} = 4$, $\mu = 4/28 = 0,14$. Однако, если схему дублируемого элемента, показанную на рис. 2, заменить схемой дублируемого элемента, в которой

последовательно дублированы резисторы R_1 и R_2 (рис. 3), то при КЗ в этих резисторах получим $\mu = 0$.

Из табл. 4 видно, что КЗ в резисторе R_1 (см. рис. 2) приводит к выходу из строя управляющих транзисторов входного (логического) каскада и что КЗ в резисторе R_2 (см. рис. 2) может приводить к неверному результату. Во избежание этого предлагается дублировать этот резистор последовательно, как показано на рис. 3. Короткое замыкание в остальных приборах дублируемого элемента не приводит к неверному логическому выходному сигналу дублированного элемента ИЛИ-НЕ.

Таким образом, предлагаемые схемы дублированного логического элемента ИЛИ-НЕ могут обеспечить его верную работу при дефектах типа "обрыв", а при очень небольшом увеличении количества аппаратуры — и при дефектах типа КЗ.

Сравним схемы двухвходового логического элемента ИЛИ-НЕ, а именно нерезервированного

Таблица 1
Table 1

Влияние одиночных обрывов в приборах на выходной сигнал двухвходового логического элемента ИЛИ-НЕ (рис. 2)
Affection of a single openings in devices on output signal of the two-input logical element NOR (fig. 2)

Коды Codes			Обрывы в приборах Openings in the devices					Результат Result	
X_1	X_2	Y	T_{1-1} или T_{1-2} T_{1-1} or T_{1-2}	T_{2-1} или T_{2-2} T_{2-1} or T_{2-2}	R_1	D	R_2	Без дублирования Without duplication	Дублированный элемент Duplicated element
0	0	1	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	+	+
								+	+
								—	+ *
								—	+ *
								+	+
0	1	0	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	+	+
								+	+
								+	+
								+	+
1	0	0	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	+	+
								+	+
								+	+
								+	+
1	1	0	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	+	+
								+	+
								+	+
								+	+

элемента (см. рис. 1), дублированного элемента с дублированием его структуры (см. рис. 2 и рис. 3) и дублированного элемента без дублирования его структуры, выполненного на параллельно дублированных транзисторах (рис. 4).

Нерезервированный двухвходовой элемент ИЛИ-НЕ содержит два транзистора (см. рис. 1) и резистор. Этот элемент не защищен от дефектов типа "обрыв" и КЗ.

Структурно дублированный двухвходовой элемент ИЛИ-НЕ без последовательного дублирования резисторов (см. рис. 2) содержит 8 транзисторов, 4 резистора и 2 диода, что при замене резисто-

ров и диодов на транзисторы составляет 14 транзисторов. Этот элемент защищен от дефектов типа "обрыв" и многих дефектов типа КЗ.

Структурно дублированный двухвходовой элемент ИЛИ-НЕ с последовательным дублированием резисторов (см. рис. 3) содержит 8 транзисторов, 8 резисторов и 2 диода, что при замене резисторов и диодов на транзисторы составляет 18 транзисторов. Этот элемент защищен от дефектов типа "обрыв" и дефектов типа КЗ.

Двухвходовой элемент ИЛИ-НЕ без дублирования его структуры, построенный на параллельно дублированных транзисторах (рис. 4), содер-

Таблица 2
Table 2

Влияние одиночных обрывов в межсоединениях во входном каскаде двухвходового логического элемента ИЛИ-НЕ на полевых транзисторах (см. рис. 2) на его выходной сигнал

Affection of a single openings in the interconnects in the input cascade of the two-input logical element NOR on field-emission transistors (see fig. 2) on its output signal

Коды Codes			Точки обрыва Opening points						Результат Result	
X_1	X_2	Y	a_1	a_2	b_1	b_2	c	d	Без дублирования Without duplication	Дублированный элемент Duplicated element
0	0	1	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	+	+
									+	+
									+	+
									+	+
									+	+
									+	+
0	1	0	Обрыв Open	Обрыв Open	Обрыв Open	<u>Обрыв Open</u>	Обрыв Open	Обрыв Open	+	+
									+	+
									+	+
									—	—
									+	+
									+	+
1	0	0	Обрыв Open	<u>Обрыв Open</u>	Обрыв Open	Обрыв Open	<u>Обрыв Open</u>	Обрыв Open	+	+
									—	—
									+	+
									+	+
									—	—
									+	+
1	1	0	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	+	+
									+	+
									+	+
									+	+
									+	+
									+	+

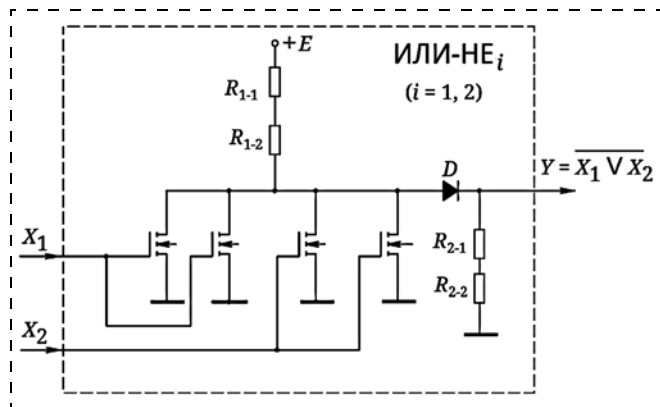


Рис. 3. Дублируемый элемент ИЛИ-НЕ_i с резисторной нагрузкой и диодом с использованием последовательного дублирования резисторов

Fig. 3. Duplicated element NOR_i with resistor load and diode using the serial resistors' duplication

жит 6 транзисторов. Этот элемент защищен только от дефектов типа "обрыв".

На первый взгляд может показаться, что дублированный элемент без дублирования его струк-

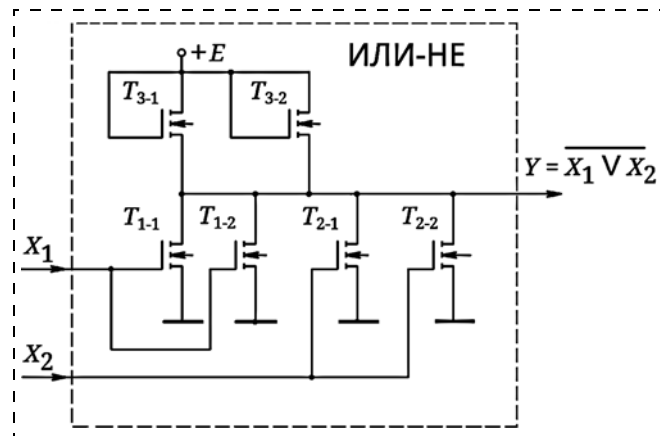


Рис. 4. Дублированный элемент ИЛИ-НЕ без дублирования его структуры (на параллельно дублированных транзисторах)

Fig. 4. Duplicated element NOR without duplicating of its structure (on parallel duplicated transistors)

туры (см. рис. 4) лучше, чем структурно дублированный элемент, т. е. чем дублированный элемент с дублированием его структуры (см. рис. 2 и рис. 3), поскольку требует в 6 раз меньше аппа-

Таблица 3

Table 3

Влияние одиночных обрывов в межсоединениях в выходном каскаде двухвходового логического элемента ИЛИ-НЕ на полевых транзисторах (см. рис. 2) на его выходной сигнал

Affection of a single openings in the interconnects in the output cascade of the two-input logical element NOR on field-emission transistors (see fig. 2) on its output signal

Коды Codes			Точки обрыва Opening points				Результат Result	
X_1	X_2	Y	e	f	g	h	Без дублирования Without duplication	Дублированный элемент Duplicated element
0	0	1	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	— — — +	+ * + * + * + *
0	1	0	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	+ Обрыв Open + Обрыв Open	+ + * + + *
1	0	0	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	+ Обрыв Open + Обрыв Open	+ + * + + *
1	1	0	Обрыв Open	Обрыв Open	Обрыв Open	Обрыв Open	+ Обрыв Open + Обрыв Open	+ + * + + *

ратуры. Однако структурно дублированный элемент защищает не только от дефектов типа "обрыв", но и от дефектов типа КЗ. Но, кроме того, важно, что при использовании структурно дублированного элемента легко обеспечивается рас-

стояние между дублируемыми элементами, превышающее размер области повреждения, созданной одной частицей излучения, чтобы она не могла вывести из строя сразу два дублируемых логических элемента.

Таблица 4
Table 4

Влияние одиночного короткого замыкания (КЗ) в транзисторах (на участке "исток-сток"), резисторах и диоде на выходной сигнал двухвходового логического элемента ИЛИ-НЕ (см. рис. 2)
Affection of a single short-circuit (SC) in the transistors (in the area "source-drain"), in the resistors and in a diode on the output signal of the two-input logical element NOR (fig. 2)

Коды Codes			КЗ в приборах Short-circuit in the devices					Результат Result	
X_1	X_2	Y	T_{1-1} или T_{1-2} T_{1-1} or T_{1-2}	T_{2-1} или T_{2-2} T_{2-1} or T_{2-2}	R_1	D	R_2	Без дублирования Without duplication	Дублированный элемент Duplicated element
0	0	1	КЗ SC	КЗ SC	КЗ SC	— КЗ SC	КЗ SC	— — + + —	+ + + + —
0	1	0	КЗ SC	КЗ SC	КЗ SC	КЗ SC	КЗ SC	+ + — (прим. 1) (Notice 1) + +	+ + — (прим. 2) (Notice 2) + +
1	0	0	КЗ SC	КЗ SC	КЗ SC	КЗ SC	КЗ SC	+ + — + +	+ + — (прим. 1) (Notice 1) + +
1	1	0	КЗ SC	КЗ SC	КЗ SC	КЗ SC	КЗ SC	+ + — (прим. 1, 2) (Notice 1, 2) + +	+ + — (прим. 1, 2) (Notice 1, 2) + +
Примечания: прим. 1 — может выйти из строя один из транзисторов T_{1-1} или T_{1-2} ; прим. 2 — может выйти из строя один из транзисторов T_{2-1} или T_{2-2} ; прим. 1, 2 — могут выйти из строя все транзисторы T_{1-1} , T_{1-2} , T_{2-1} и T_{2-2} . Notices: Notice 1 — can fail one of the transistors T_{1-1} or T_{1-2} ; Notice 2 — can fail one of the transistors T_{2-1} or T_{2-2} ; Notices 1,2 — can fail all the transistors T_{1-1} , T_{1-2} , T_{2-1} and T_{2-2} .									

4. Оценка вероятности отказа микросхемы при различных способах построения дублированных логических элементов

Приведем оценки вероятности отказа микросхемы при использовании дублированного элемента ИЛИ-НЕ с дублированием его структуры (см. рис. 2) и микросхемы с дублированным элементом ИЛИ-НЕ без резервирования его структуры (см. рис. 4) при $\mu = 0$ в формуле (3). Рассмотрим сначала случай, когда дублируемым компонентом является логический элемент, т. е. когда при построении дублированного логического элемента дублируется его структура.

За единицу площади микросхемы, соответствующей одному компоненту логического элемента, являющемуся прибором (например, транзистору, диоду, резистору), примем некоторую величину s_l . Тогда площадь, занимаемая одним дублируемым логическим элементом, сделанным для случая дублирования его структуры, будет

$$s_e = s_l n_{ed}, \quad (6)$$

где n_{ed} — число приборов в дублируемом логическом элементе, т. е. в элементе, предназначенном для дублирования его структуры. Здесь

$$n_{ed} = b n_e, \quad (7)$$

где b — коэффициент, определенный выше в формуле (2), $b \geq 1$; n_e — число приборов в нерезервированном элементе.

Площадь, занимаемая нерезервированной микросхемой, будет

$$S_H = s_l n_e N, \quad (8)$$

где все величины определены выше.

Площадь, занимаемая дублированной микросхемой, будет

$$S_d = 2 s_l n_{ed} N. \quad (9)$$

Площадь, занимаемая гипотетической нерезервированной микросхемой, содержащей подмножество дублируемых логических элементов, в котором нет элементов, составляющих пару, образующую дублированный логический элемент, будет

$$S_{\Pi} = S_d / 2. \quad (10)$$

В работе [6] использовалась вероятность P_{Π} отказа указанной выше гипотетической нерезервированной микросхемы за время облучения до отказа дублированной микросхемы при распределении ее повреждений по закону Пуассона, соответствующая формуле

$$P_{\Pi} = \Phi W S_{\Pi}, \quad (11)$$

где Φ — флюенс, или, иначе говоря, математическое ожидание числа частиц, попавших в 1 см^2 микросхемы за время облучения; W — вероятность

возникновения дефекта при попадании частицы в единицу площади микросхемы; S_{Π} — площадь, определенная выше.

Однако формула (11) выведена в предположении, что любой дефект ("обрыв" или КЗ), вызванный частицей, попавшей в дублируемый логический элемент, приводит к отказу этого элемента, и что случаи его отказов при попадании частицы в любую точку площади, занимаемой логическим элементом, равновероятны. В действительности это не так, поскольку дефект ("обрыв" или КЗ) одного из резервируемых компонентов внутри дублируемого логического элемента не приводит к отказу этого элемента. Считая, что все случаи возникновения дефектов при попадании частицы в любую точку площади дублируемого логического элемента равновероятны, относительную вероятность отказа этого элемента при появлении в нем дефекта, вызванного попаданием частицы, можно определить как отношение числа случаев возникновения дефектов, вызывающих отказ этого элемента, к общему числу случаев возникновения возможных дефектов в этом элементе, которые могут быть образованы частицей. Но подсчет этой относительной вероятности осуществить весьма сложно, поскольку необходимо учесть все компоненты дублируемого логического элемента (приборы и межсоединения), особенности схемы элемента, его топологию и коды на его входах.

Поэтому для упрощения сначала оценим грубо относительную вероятность отказа логического элемента при попадании в него частицы, принимая во внимание только его приборы, т. е., считая, что отказов межсоединений нет. Учитывая, что одна частица может вызвать в одном приборе (например, транзисторе или резисторе) одновременно только один тип дефекта ("обрыв" или КЗ), примем, что общее число возможных дефектов в дублируемом логическом элементе, вызванных попаданием частицы, равно n_{ed} — числу приборов в этом элементе, а число дефектов, которые могут вызвать отказ этого элемента, равно числу $n_{отк}$ приборов, дефекты в которых могут вызвать отказ этого элемента. Тогда относительная вероятность отказа дублируемого элемента при появлении в нем дефекта, вызванного попаданием частицы в прибор, будет

$$\beta_1 = n_{отк} / n_{ed}, \quad (12)$$

где $n_{отк} \leq n_{ed}$.

Можно было бы усложнить определение вероятности β_1 , введя вероятности разных типов дефектов. Но поскольку эти вероятности зависят от многих факторов, включая тип прибора и характеристики облучения, и в настоящее время не известны, то для упрощения можно пользоваться оценкой (12) отдельно для отказов одного типа — "об-

рыва" или КЗ. В работах [1, с. 10; 2, с. 594; 3, с. 13] предполагается, что при малых размерах логических элементов в них встречаются дефекты только типа "обрыв".

Для дублируемого элемента ИЛИ-НЕ, показанного на рис. 2, $n_{ed} = 7$, а $n_{отк} = 3$ для отказов типа "обрыв", поскольку к отказу этого элемента приводят обрыв в резисторах R_1 , R_2 или диоде D . В этом случае согласно (12) имеем $\beta_1 = 3/7 = 0,429$.

Относительная вероятность (12) позволяет учесть, что дефект одного из резервируемых приборов дублируемого логического элемента не влияет на его работу. Однако и при отсутствии резервирования компонентов дублируемого логического элемента дефекты некоторых его компонентов могут не влиять на получение верных выходных сигналов при его некоторых входных кодах. Это видно из табл. 1—3 — влияния одиночных отказов на работу дублируемого двухвходового элемента ИЛИ-НЕ (см. рис. 2). В этих таблицах в столбце "Без дублирования" (под шапкой "Результат") знаком "+" отмечен верный результат на выходе этого дублируемого элемента, а другие обозначения в этом столбце указывают на ошибочный результат, т. е. на отказ этого дублируемого элемента.

С учетом сказанного, оценим теперь приближенно относительную вероятность отказа логического элемента при попадании в него частицы, принимая во внимание не только его приборы, но и его межсоединения, а также коды на его входах. Для приближенного учета дефектов внутренних межсоединений в дублируемом логическом элементе предлагается рассматривать дефект в любой точке некоторого участка межсоединения как один дефект, возникший в одной "контрольной" точке этого участка, обозначенной на схеме этого элемента (см. рис. 2). Заметим, что на рис. 2 показан пример выбора этих "контрольных точек", который может быть уточнен. Внешние межсоединения, т. е. межсоединения между логическими элементами рассматривать не будем, полагая, что они защищены от отказов, вызванных попаданием в них частиц, выбором достаточно большой их ширины или их резервированием.

Тогда относительная вероятность отказа дублируемого логического элемента при появлении в нем дефекта, вызванного попаданием частицы в его компонент (прибор или межсоединение) при всех равновероятных входных кодах этого элемента будет

$$\beta_2 = (z_r + z_i) / [2^q (n_{ed} + n_i)], \quad (13)$$

где z_r — число случаев отказа дублируемого логического элемента при дефектах в приборах, возникающих при всех входных кодах этого элемента; z_i — число случаев отказа этого элемента при дефектах в его межсоединениях; q — число логи-

ческих входов этого элемента; 2^q — число входных кодов этого элемента; n_{ed} — число приборов в этом элементе; n_i — число внутренних межсоединений этого элемента, равное числу контрольных точек этих соединений.

Таким образом, в формуле (13) в знаменателе дроби указано общее число возможных случаев возникновения дефектов в дублируемом логическом элементе при всех возможных его входных кодах, а в числителе этой дроби — суммарное число случаев отказа этого элемента при возникновении дефектов в его компонентах (приборах и межсоединениях). Проиллюстрируем применение формулы (13) на примере дублируемого двухвходового элемента ИЛИ-НЕ (см. рис. 2), считая, что возможны только дефекты типа "обрыв" (табл. 1, 2 и 3). В этом случае $q = 2$, $n_{ed} = 7$, $n_i = 10$ (учитываются только контрольные точки, указанные на рис. 2 и в этих таблицах); $z_r = 2$ (результаты в столбце "Без дублирования", не отмеченные знаком "+", $z_i = 12$ (результаты в столбце "Без дублирования", не отмеченные знаком "+"). Подставив эти значения в формулу (13), получим $\beta_2 = 0,205$. По-видимому, оценка относительной вероятности отказа дублируемого логического элемента при появлении в нем дефекта, вызванного попаданием частицы, по формуле (13) оказывается более точной, чем оценка по формуле (12), поскольку в последней не учитываются входные коды логического элемента и дефекты межсоединений.

Чтобы учесть влияние резервирования приборов внутри логического элемента и его входных кодов в дальнейшем вместо (11) будем использовать формулу

$$P_{\Pi} = \Phi W S_{\Pi} \beta, \quad (14)$$

где β — относительная вероятность отказа дублируемого логического элемента при появлении в нем дефекта, вызванного попаданием частицы; например, $\beta = \beta_1$ или $\beta = \beta_2$; остальные величины определены выше.

Подставим (10) с учетом (9) и (7) в (14):

$$P_{\Pi} = \Phi W s_i b n_e N \beta. \quad (15)$$

С учетом (15) из формулы (1) получим

$$P_2 = (\Phi W)^2 (s_i b n_e)^2 \cdot 2 N \beta^2. \quad (16)$$

Из (8) найдем

$$N = S_H / (s_i n_e). \quad (17)$$

Подставив (17) в (16), получим

$$P_2 = (\Phi W)^2 S_H \cdot 2 n_e b^2 s_i \beta^2. \quad (18)$$

Обозначим через P_{2-2} вероятность P_2 отказа дублированной микросхемы, построенной на дублированных элементах ИЛИ-НЕ, показанных на рис. 2.

При $\beta = \beta_1 = 3/7$, т. е. при использовании формулы (12), для логического элемента, показанного на рис. 2, найдем из (18):

$$P_{2-2} = (\Phi W)^2 S_H \cdot 6s_f. \quad (19)$$

При $\beta = \beta_2 = 0,205$, т. е. при использовании формулы (12), для логического элемента, показанного на рис. 2, найдем из выражения (19)

$$P_{2-2} = (\Phi W)^2 S_H \cdot 0,373s_f. \quad (20)$$

Рассмотрим теперь случай, когда дублируемым компонентом является транзистор, т. е. случай, когда структура логического элемента не дублируется (см. рис. 4). Можно показать, что для дублированной микросхемы, построенной на дублированных элементах ИЛИ-НЕ, остаются справедливыми формулы (6—10, 13—17), если принять $n_{ed} = n_e = b = \beta = 1$. Здесь выбор $\beta = 1$ обусловлен тем, что любой обрыв в дублируемом компоненте (в транзисторе и его межсоединениях) приводит к его отказу. Тогда вероятность P_{2-4} отказа дублированной микросхемы, построенной на элементах, показанных на рис. 4, будет

$$P_{2-4} = (\Phi W)^2 S_H \cdot 2s_f. \quad (21)$$

Если для упрощения принять, что флюенсы в формулах (19)—(21) одинаковы, то получим показатель изменения отказоустойчивости при $\beta = \beta_1$:

$$\alpha_{2-4} = P_{2-2}/P_{2-4} = 3, \quad (22)$$

и при $\beta = \beta_2$

$$\alpha_{2-4} = P_{2-2}/P_{2-4} = 0,187 \quad (23)$$

или

$$\alpha_{4-2} = P_{2-4}/P_{2-2} = 1/0,187 = 5,35. \quad (24)$$

Таким образом, вероятность отказа микросхемы с дублированием структуры элемента ИЛИ-НЕ (см. рис. 2) получилась в 3 раза выше вероятности отказа микросхемы без дублирования структуры элемента (см. рис. 4) при $\beta = \beta_1$ и более, чем в 5 раз меньше, чем при $\beta = \beta_2$. Последняя оценка является более точной.

Но при этих оценках учитываются только дефекты типа "обрыв". А при дефектах типа КЗ дублированный элемент без резервирования его структуры (см. рис. 4) оказывается неработоспособным, между тем, как видно из табл. 4, дублирование структуры логического элемента (см. рис. 2) позволяет защититься от одиночных КЗ. Кроме того, преимуществом дублированных логических элементов с дублированием их структуры (см. рис. 2) является то, что расстояние между ними может

быть сделано достаточно большим, чтобы одна частица не могла вывести из строя два соседних логических элемента.

Заключение

Рассмотренные способы построения дублированных логических элементов с дублированием их структуры и без ее резервирования и методы оценки вероятностей отказа микросхем при использовании этих способов позволяют выбрать подходящий вариант дублирования логических элементов для конкретных применений. При оценке вероятности отказа микросхем использована относительная вероятность отказа логического элемента в случае возникновения в нем дефекта с учетом равновероятных комбинаций логических сигналов на его входах. И хотя этот учет связан с логической функцией этого элемента и для упрощения принято, что микросхема состоит из одинаковых по своей функции логических элементов, это позволяет получить приблизительные сравнительные оценки вероятности отказов микросхем с различными видами покомпонентного дублирования в процессе их работы при облучении.

Список литературы

1. Александров П. А., Жук В. И., Литвинов В. Л. Способ постоянного поэлементного дублирования в дискретных электронных системах (варианты). Патент РФ на изобретение № 2475820 от 10.08.2011, классы МПК G06F 11/16, H03K 19/007.
2. Александров П. А., Бударягин В. В., Жук В. В., Литвинов В. Л., Свечников А. Б. Действие излучений на материалы, приборы и схемы наноэлектроники // Ядерная физика и инжиниринг. 2013. Том 4, № 6. С. 590—596.
3. Александров П. А., Бударягин В. В., Жук В. В., Литвинов В. Л. Об отказоустойчивости наноэлектронных интегральных схем при облучении // Нано- и микросистемная техника. 2014. № 1. С. 1—14.
4. Александров П. А., Жук В. И., Литвинов В. Л. Наноэлектроника и радиация // Природа. 2015. № 1. С. 14—21.
5. Александров П. А., Бударягин В. В., Жук В. И., Литвинов В. Л. Отказоустойчивость покомпонентно дублированной микросхемы при облучении // Нано- и микросистемная техника. 2015. № 3. С. 10—23.
6. Александров П. А., Бударягин В. В., Жук В. И., Литвинов В. Л. Сравнительные оценки отказоустойчивости мажоритарно-резервированных и покомпонентно дублированных микросхем при облучении // Нано- и микросистемная техника. 2016. № 3. С. 176—192.
7. Дорфман В. Ф., Иванов Л. В. ЭВМ и ее элементы. Развитие и оптимизация. М.: Радио и связь, 1998. 240 с.
8. ГОСТ 27.002—89. Надежность в технике. Основные понятия. Термины и определения. М.: Издательство стандартов, 1990. 37 с.
9. Угрюмов Е. П. Цифровая схемотехника. 3-е изд. СПб.: БХВ-Петербург, 2010. 816 с.
10. Преснухин Л. Н., Воробьев Н. В., Шишкевич А. А. Расчет элементов цифровых устройств. 2-е изд. М.: Высшая школа, 1991. 526 с.
11. Степаненко И. П. Основы микроэлектроники. 2-е изд. М.: Лаборатория Базовых Знаний, 2000. 488 с.

On the Design of the Duplicated Logic Elements Intended to Increase the Fault-Tolerance of Microcircuits under Irradiation

The authors present methods for designing of the duplicated logic elements intended to increase the fault tolerance of the microcircuits with or without duplication of their structure. The methods considered do not involve any hardware facilities for detection of errors, and the valid output signal is generated by means of the internal redundancy in the duplicated element. The authors give analysis of the impact of the single open-circuit and short-circuit faults in the transistors, diodes, and resistors and single open-circuit faults in interconnections on the output signal of the duplicated logical element with its structure duplicated. They also provide comparative assessments of the fault probabilities of the microcircuits under irradiation based on the logic elements with and without duplication of their structure.

Keywords: nanoelectronics, microelectronics, fault-tolerance, failure, redundancy in electronic systems, duplication of the logical elements, interconnection, irradiation

Introduction

In [1–5] we suggested a permanent exploded duplication of digital circuits, oriented on increase of their resiliency under irradiation, and an assessment of their resiliency, called in [5] as the method of assessment of irradiated chips resiliency "by their areas" and further specified in [6]. The assessment of the various methods of continuous backup at different irradiation can be used on the basis of this method. It can be used in nanoelectronics, when the size of the reserved component comparable with the area of chip damage from affection of a neutron and in microelectronics¹ with the modern dimensions of devices (transistors, diodes, resistors)² — electronic components of logic elements. This method will be used in this paper to estimate the probability of failure of chips built using different types of duplication of logic elements. However, the method of assessment of fault tolerance of chips "by their areas" abstracts from the specifics of circuitry and defect types — "opening" or "short circuit" (SC). However, only the sudden failures [8] at defects such as "opening" and "short circuit" will be considered when we use it. The degradation failures [8] will be referred to a kind of sudden failures.

A method for continuous exploded duplicating proposed in [1–6] is characterized by the fact that it does not use the hardware (in particular, comparison circuits) to detect errors therein, and the true output signal of the duplicated component is formed by an internal backup. In [1], two options of a method are proposed: in the first, the duplicated component is a logical element that does not contain memory and in the second, the duplicated component is a transistor. The requirement to an absence of memory in the duplicated component is important. It is the proposed in both embodiments to put the duplicating components at a distance therebetween, which is greater than the chip's damaged area from one particle. It provides the possibility of duplication of interconnections and increasing their width, so that it exceeded the size of the damaged area from a radiation particle.

¹ Areas of application of this evaluation method will be specified.

² The term "device" as an electronic component of logic elements (gates) is used in literature [7]. The use of this generic term to designate resistors seems justified, since the transistors often play the role of the resistor in the chips.

The proposed method is based on the assumption that the failure of a duplicated component occurs only when at failure of two of its constituent duplicated components and in the case of failure of only one of either, the duplicated component continues to function failure-proof.

In [6] it is shown that the probability P_2 of failure of the redundant circuit containing $N \gg 2$ of identical duplicated components, at irradiation will consist

$$P_2 = P_{\pi}^2 / 0,5N, \quad (1)$$

where P_{π} — the probability of failure of a hypothetical non-redundant circuit consisting of N unpaired duplicated components, i.e., the components, which do not duplicate any component in this hypothetical circuit.

Since the duplicated component in the redundant chip can occupy an area greater than in a non-redundant chip, it can be shown that:

$$P_{\pi} = bP_H, \quad (2)$$

where P_H — probability of failure of a non-redundant circuit of N non-redundant components; $b \geq 1$ — the coefficient, showing how many times the area of the duplicated component exceeds the area of the non-duplicated component; $b = 1$, when the duplicated component is a transistor, and $b > 1$ when it is a logic element; in the latter case, the value of coefficient b depends on the number of inputs of the logical element, its circuit and redundancy of its components.

From the expressions (1) and (2) it is seen, that the probability of failure of a redundant circuit is substantially lower than the probability of failure of non-redundant chip at the same irradiation.

There are two ways to construct the duplicate logic element, corresponding to two following duplication options proposed in [1]. The first option is to duplicate the logical structure of the element, when the logic element is a duplicated component. The second is to construct of the duplicated logic element without redundancy of its structure, when the duplicated component is a device, part of the logic element, particularly a transistor.

Construction of the duplicated logic element without structure redundancy is usually reduced to a simple replacement of every single component (e.g., a transistor) in non-redundant logic element for a couple of mutually duplicating components such as, for example, single transistors.

Consider at first more complicated way, namely, construction of the duplicated logical element with the redundancy of its structure. In this case, you need to build a circuit of a duplicated logic element, which allows you to combine a couple of these elements in one duplicated logical element simple by connection of the inputs and outputs of the same name. At this, the circuit of the duplicated element must be such as the true signal was formed on the output of the duplicated element, as well in the case of properly operating in its duplicated elements, and as in the case of failure of one of them.

In [9] it is noted that the outputs of the logic circuits cannot be connected due to the uncertainty of the output signal and the possibility of failure of the connected logic elements. This prohibition overcomes in [1–5] in that of each set of duplicating elements revives an output cascade, which requires minor hardware costs and allows to combine the outputs of two such cascades belonging to a duplicate element.

The second obstacle to unification of the two duplicated elements in such a one element is the difficulty to form the correct output logic signal of the duplicated element in case of failure of one of its constituent duplicated elements. Ensuring formation of the correct output signal of the duplicated logical element in case of failure of one of the duplicated elements contained in it can be achieved due to redundancy of the components within the duplicating elements. You can abandon the reservation of each component in a duplicating element and to abandon the total (parallel and serial) duplication of redundant components in order to protect themselves from the influence of only the most probable defects.

In [1] it is proposed to introduce redundancy only in the input (or, in other words, logic) cascade of a duplicated element. Thus, in (1, fig. 4) it is suggested to duplicate the input diodes AND-NO element, which output cascade comprises only a diode.

Solving of the problem of construction of the duplicated logical elements with structure duplication depends on the choice of their constituent active and passive components. In [1], an example of construction of AND-NOT element based semiconductor bipolar transistors and semiconductor diodes are given. The purpose of the example was to show that the construction of the duplicated logic element is possible. Ref. [4] shows an example of construction of the duplicated logical element NOR of field-emission transistors.

In this paper, the detailed construction of a duplicated logical element on field-emission transistors with structure duplication and the impact of different types of defects on the output signal of the duplicated logic element are discussed; the circuit of this element is proposed and the hardware costs for different redundancy options inside of the duplicated elements is evaluated.

The approach of assessing of impact of the incorrect logic output signals in the duplicated logic elements on the probability of failure of the duplicated circuit at irradiation

The incorrect logical output signals of the duplicated elements may occur depending on the combination of input logic signals at various defects in the components of a duplicated logic element. In general, under the components of the logic element are understood the devices and the interconnects. We assume that hitting of a device by a single particle may cause only a single defect such as "opening" or short-circuit; and the hitting of an interconnection point by a particle

may cause only a defect such as "opening". We also assume that the short-circuit in interconnection points with the power supply or the ground is not possible. Hitting the different interconnection points by particles may cause various defects in its influence, in accordance with an equivalent circuit diagram of the duplicated element. Therefore, these different interconnection points should be considered as the conditional components of a duplicated logic element.

The model of component-wise redundant circuit, for which a formula of probability of failure (1) is found, provides the use only of such duplicated components that give a true output signal in case of failure of one of two of its duplicated components [5, 6]. We call this model of a redundant circuit as a "perfect", as well as its duplicated components and the duplicated components that form the "perfect" duplicated components. However, the actual duplicated components can be imperfect, due to defects, unrecorded in the design, or the affection of which is not cleared in connection with saving equipment because of their low probability.

In all cases, when the true signal occurs at the output of imperfect duplicated component in case of failure of one duplicated component, the duplicated component works as an perfect, and the ideal model of the redundant circuit is used to find the probability of its failure. In cases where the incorrect signal occurs at the output of the duplicated components in case of failure of any of its components, the model of double non-redundant circuit is used to find the probability of failure of the same circuit, in which the duplicated components of the redundant circuit serve as the non-redundant components.

The more devices in a duplicated component, the greater the possible defects in it. As the most large duplicated component we regard a logical element. The impact of the possible defects of the duplicated logic element to the output logic signal of the duplicated element is compensated by duplication of the logic elements and redundancy within a duplicated element. We call these defects as compensated. However, the remained part of the defects will affect on the probability of failure of a redundant circuit. We call these defects as uncompensated.

The number of cases in which the incorrect signal occurs at the output of the duplicated logical element in the case of failure of one its duplicated element is determined by the product of the number of uncompensated defects on the number of possible input codes (combinations of logic signals) of the logic element.

Let us now try to evaluate the impact of uncompensated defects on the probability of failure of the redundant circuits. In view of formula (1), the probability of failure of imperfect duplicated circuit will be:

$$P_d = 2P_{\Pi}\mu + [P_{\Pi}(1 - \mu)]^2/0,5N, \quad (3)$$

where the quantities P_{Π} and N — are as defined above; μ — the proportion of cases in which the duplicated component in case of work under the influence of uncompensated defects works as imperfect,

$$\mu = K_{\text{нек}}/K, \quad (4)$$

where K — the total number of all possible cases of defects in a duplicated component at all its input codes; $K_{\text{нек}}$ — the number of cases of impact of the uncompensated defects in duplicated component at all its input codes; $\mu < 1$.

Although generally the uncompensated defects can be the defects of various types, some types of defects may be improbable that allows to ignore them. This reduces the μ .

Numerically evaluate μ is very difficult, because we do not know the probabilities of different types of defects. However, when the duplication of logic elements compensate all or almost all of the defects of "opening" type, and the probability of short-circuit defects under the action of radiation is equal to or close to zero, we can take $\mu = 0$. In the same way, you can take $\mu = 0$, when the duplication of the logic elements compensates all or almost all of short-circuit defects, and the probability of such defects as "broken" by the action of radiation is equal to or close to zero. Of course, we must always seek to reduce the value of μ . Next we will assess μ for one circuit of the imperfect duplicated logic element, shown as an example. The technical measures to reduce this ratio be also given by us.

A common approach to ensure the correct logic output signal of the duplicated logic element on filed-emission transistors with duplicating of its structure

The different layouts of the duplicated logic element without a memory can be developed for various filed-emission transistors. The number of circuits can be overwhelming. In [10] it is reported that only on the MIS type transistors you can build 196 options of inverters. However, we are interested in a simple example of the circuit of the duplicated logic element. As an example, we will build this circuit on filed-emission transistors of n -channel type [11]. As an example, as a typical logic element as in [3] we will choose an element negative OR (NOR), since the implementation of this logic function is carried out without serial connection of the transistors, which requires a reduction in resistance of the opened transistor. In this regard, in [10] is not recommended to use NAND elements, because they require serial connection of the transistors.

In the duplicated logical NOR element without regard to its input signals it cannot be automatically determined whether its output is true. However, due to duplication in the input cascade of the duplicated element we can prevent the occurrence of incorrect output logic signal "1". The appearance of an incorrect output of logic signal "0" at the output of the logical cascade of the duplicated element does not lead to an incorrect output of signal "0" at the output of the duplicated element. This is the base of the idea of providing the correct output signal of the duplicated element.

Circuit of duplicated logic element NOR

Fig. 1 shows a simple example of a non-redundant two-input NOR element, which is to be duplicated. It consists of two control transistors T_1 , T_2 and a resistor R .

We will consider two-way duplicated element NOR with duplicated structure in which resistors and a diode (fig. 2) are used along with transistors. The second variant of the circuit of this element is possible, in which transistors (not shown in the figures) are used as the resistors and diodes. The first option (fig. 2) more clearly demonstrates the action principle of the duplicated logic element, and the second makes it easier to count the number of devices in this element, such as one unit of equipment is a transistor.

Duplicated logical element NOR (fig. 2) consists of two identical duplicated logical elements NOR_1 and NOR_2 . Duplicating transistors T_{1-1} and T_{1-2} represent one duplicated transistor controlled by an input signal X_1 , and duplicating transistors T_{2-1} and T_{2-2} represent one duplicated transistor controlled by an input signal X_2 . The input (logical) cascade of each duplicated logic element comprises transistors T_{1-1} ,

T_{1-2} , T_{2-1} , T_{2-2} and a resistor R_1 . The output cascade of each duplicated logic element comprises a diode D and a resistor R_2 . This output cascade enables to connect two outputs of the duplicated elements in a common output, on which the logical signal Y , corresponding to a logic NOR function of the input signals X_1 and X_2 , must be formed if the duplicated logic element working properly. When the circuit "source-drain" opens in any one of the pairs of transistors T_{1-1} , T_{1-2} and T_{2-1} , T_{2-2} , the output signals of the input cascades of duplicated elements and the output signal of the duplicated logical become true. Letters a_1 , a_2 , b_1 , b_2 , c , d , e , f , g , h and crosses in fig. 2 in the upper duplicated element NOR_1 mark the interconnection points selected to verify the operation of NOR duplicated element interconnection at breakage in these points.

Since, in accordance with the accepted model of failure of the redundant circuit [1–6], the duplicated logical element in case of failure of one duplicated logic element should produce the correct output signal, let us to check the correctness of operation of the two-input duplicated element NOR for defects that occur in only one of its duplicated elements in all possible input codes. The results of this test are shown in tabs. 1, 2, 3, 4. To check, the equivalent electric circuit in view of this defect was built for each defect for each input code of the logical element. These results were obtained under the conditions:

- particles can create defects in only one of the duplicated elements (for example, NOR_1 was selected as such an element);
- we take into account only the cases when the defect occurs from a single particle at a time, which creates only one defect — "opening", or short-circuit;
- if a particle hits the transistor, the "source-drain" circuit can open or fault;
- if a particle hits a resistor or a diode, they can break or short circuit;
- if a particle hits any of the points a_1 , a_2 , b_1 , b_2 , c , d , e , f , g , h , the breakage of interconnection occurs at this point;
- the cases of short-circuit between an any point of interconnection and the power supply or ground, or any other point of interconnection are not considered.

In table 1 the columns under the heading "Openings in the devices" specify "openings" in each device (transistor, resistor and diode). Table 2 and 3 in the columns "Opening points" show openings in each open point marked in fig. 12. Table 4 in the columns "Short-circuit in the devices" specify short-circuits in each such device. Each of these tables under the heading "Result" show the results of validation of the output signal of the duplicated logical element (last column on the right) and the output signal of the duplicated element NOR_1 , operating autonomously, i.e. without connection of its output to the output of the duplicated element NOR_2 (penultimate column to the right). The test results are indicated by "+" (plus) if the output logic signal is true, and by sign "-" (minus), if the signal is incorrect. A positive test result is labeled as the symbol "+*" if the output logical signal is true, but the resistance changes at the output of the duplicated logic element NOR. The remaining symbols in the tables are apparent from fig. 2 and mentioned above in the text or are disclosed in the notes in table 4.

From table 1 it is clear that the duplicated logic element operates correctly at the openings of transistors, diodes and resistors in it, which is important when the defects are mostly likely of the "opening" type caused by radiation. In table 2

there are three cases in which incorrect result appears at openings in the interconnects by affection of radiation at the output of the duplicated logic element. You can exclude these openings in the interconnects, increasing the width of interconnections or duplicating them at "dangerous" areas. Openings in the interconnects (table 3) do not lead to incorrect results at the output of the duplicated element.

The total number of possible cases of defects, such as "opening" in the circuit of repeated element NOR in fig. 2, at all its input codes will be equal to

$$K = 2^q(n_{ed} + n_i), \quad (5)$$

where q — the number of logic inputs of the element, n_{ed} — number of devices in this element, n_i — the number of control points of the internal interconnections of the element.

For the circuit in fig. 2 with $q = 2$, $n_{ed} = 7$, $n_i = 10$, we have $K = 68$. The total number K_{HEK} of cases of affection of the uncompensated defects of "opening" type in duplicated element with all its input codes can be found from tables 1, 2 and 3 as the number of cases in which the output signal of the duplicated element NOR is incorrect. K_{HEK} — is the total number of characters "—" (minus) in the "Duplicated element" columns in the tables. It is seen that $K_{\text{HEK}} = 3$ (table 2). Then, in accordance with (4) we obtain $\mu = 3/68 = 0,044$. However, if you make the interconnections marked by the control points a_2 and b_2 , wider as the "openings" did not happen in them, or to duplicate these interconnections, for the circuit in fig. 2 we obtain $\mu = 0$. In the case of short-circuit defects, the number of incorrect output signals (fig. 2) will be equal to the number of characters other than "+" in the column "Duplicated element" in table 4. Then, when $n_i = 0$ (as the short circuits do not occur in the interconnections, and short-circuit between the interconnections are not considered by us), we obtain $K = 28$, $K_{\text{HEK}} = 4$, $\mu = 4/28 = 0,14$. However, if the circuit of duplicated element (2) to replace by the circuit of duplicated element, which consistently duplicated resistors R_1 and R_2 (fig. 3), we obtain $\mu = 0$ in the case of short-circuit in these resistors.

Table 4 shows, that the short circuit in the resistor R_1 (see fig. 2) leads to failure of the control transistors of input cascade (logical), and the short circuit in the resistor R_2 (fig. 1) can lead to incorrect results. To avoid this, it is proposed to duplicate the resistor in series, as shown in fig. 3.

The short circuit in other devices of the duplicated element does not lead to an incorrect logical output of the duplicated element NOR.

Thus, the proposed circuits of the duplicated logic element NOR can ensure its correct operation when defects such as "opening", but with a very small increase in a number of equipment — and in the case of defects such as short circuit.

Let us compare the circuits of two-input element NOR, namely non-redundant element (fig. 1), the duplicated item with duplicating of its structure (figs. 2 and 3) and the duplicated element without duplicating of its structure, made in parallel with redundant transistors (fig. 4).

Two-way non-redundant element NOR includes two transistors (fig. 1) and a resistor. This element is not protected from "opening" and short-circuits.

Structurally duplicated two-input element NOR without serial duplicating of the resistors (fig. 2) contains 8 transistors, 4 resistors and 2 diodes, that in the case of replacement of resistors and diodes on the transistors gives 14 transistors.

This element is protected from defects, such as "opening" and many short-circuit faults types.

Structurally duplicated two-input element NOR with serial duplicating of the resistors (fig. 3) contains 8 transistors, 8 resistors and 2 diodes, that in the case of replacement of resistors and diodes on the transistor gives 18 transistors. This element is protected from "opening" and short-circuits.

Two-input element NOR without duplicating of its structure, built on a parallel duplicated transistors (fig. 4), comprises 6 transistors. This element is protected only on the defect type such as "opening".

At first glance, it may appear that duplicated element without duplicating of its structure (fig. 4) is better than structurally duplicated element, i.e., than the duplicated element with duplicating of its structure (figs. 2 and 3), since it requires 6 times less hardware. However, the structurally duplicated element not only protects against defects such as "opening", but also from short-circuits. But, in addition, it is important that when using structurally duplicated element, the distance between the duplicated elements can be it easily provided, exceeding the size of the damaged area created by a radiation particle, as so it could not bring down just two duplicated logic elements.

Estimating of the probability of chip failure at various ways of constructing of duplicated logic elements

Let us estimate the probability of chip failure using the duplicated element NOR with duplicating of its structure (fig. 2) and chip failure with duplicated element NOR without duplicating of its structure (fig. 4, b) at $\mu = 0$ in the formula (3). First, consider the case when the duplicated component is logic element, i.e., when the duplicated element has duplicated structure.

The area s_i to be the unit of chip's area corresponding to one component of the logic element, which represents a device (e.g., transistors, diodes, resistors). Then, the area occupied by a single duplicated logical element made in the case of duplication of its structure will be

$$s_e = s_i n_{ed}, \quad (6)$$

where n_{ed} — the number of devices in the duplicated logical element, i.e., in the element intended to duplicate its structure.

Here

$$n_{ed} = b n_e, \quad (7)$$

where b — the coefficient, defined in the above mentioned formula (2), $b \geq 1$; n_e — the number of devices in the non-redundant element.

The area occupied by the non-redundant circuit will be

$$S_H = s_i n_e N, \quad (8)$$

where all values are defined above.

The area occupied by the duplicated chip will be

$$S_d = 2 s_i n_{ed} N. \quad (9)$$

The area occupied by a hypothetical non-redundant chip containing a subset of duplicated logical elements in which there are no elements that make up the pair forming the duplicated logic element will be

$$S_{\Pi} = S_d / 2. \quad (10)$$

In [6], the probability P_{Π} of failure of the above mentioned hypothetical non-redundant chip during exposure till the fault

of the redundant circuit in distribution of its damage by Poisson law, corresponding to the formula:

$$P_{\Pi} = \Phi W S_{\Pi}, \quad (11)$$

where Φ — fluence or, in other words, the expected number of particles, hitting 1 cm² of a chip during irradiation; W — the probability of defect occurrence when a particle hit a unit area of the chip; S_{Π} — the area defined above.

However, the formula (11) was derived under the assumption that any defect ("opening" or short circuit) caused by particle hit the duplicated element leads to failure of this element, and that the cases of its failure when a particle hit any point of area occupied by the logical element, are equal. In reality this is not so, because the defect ("opening" or short-circuit) of one of the redundant components within the duplicated logic element does not lead to failure of this element. Assuming that the cases of defects when a particle hit any point of area occupied by the duplicated logical element have the same probability, in contact with the particles to anywhere in the area of duplicated logic element equally, the relative probability of failure of this element with appearance of the defect, caused by a particle, can be defined as the ratio of the number of cases of defects that cause failure of the element to the total number of cases of possible defects in the element that can be formed by a particle. But the count of this relative probability is very difficult to implement, since it is necessary to consider all components of the duplicated logical element (devices and interconnects), especially circuit elements, its topology and codes on its inputs.

Therefore to simplify, firstly we estimate the relative probability of failure of the logical element when it hit by a particle, taking into account only its instruments, i.e., assuming that there are no interconnection failures. Taking into account that a single particle can cause in a single device (e.g., in a transistor or in a resistor) only one type of defect at the same time ("opening" or short-circuit), we assume that the total number of possible defects in the duplicated logical element caused by the particle's hit is equal to n_{ed} — the number of devices in the element and the number of defects which can cause failure of the element and it is equal to the number $n_{отк}$ of devices, defects in which can cause failure of the element. Then the relative probability of failure of the duplicated element in a case of a defect in it, caused by a particle hitting the device, will be

$$\beta_1 = n_{отк}/n_{ed}, \quad (12)$$

where $n_{отк} \leq n_{ed}$.

You can complicate determination of the probability β_1 , by entering the probabilities of the different types of defects. But since these probabilities depend on many factors, including the type of device and radiation characteristics and they are currently unknown, for simplicity, the assessment (12) can be used separately for the failure of the one type — "opening" or short-circuit. In [1] it is assumed that in the logical elements of small size there are only "opening" type of defects.

For duplicated element NOR (fig. 2) $n_{ed} = 7$, and $n_{отк} = 3$ for the "opening" failures, since the openings in the resistors R_1 , R_2 and the diode D cause the fault of this element. In this case, according to (12), we have $\beta_1 = 3/7 = 0,429$.

The relative probability (12) makes it possible to consider that a defect of one of the redundant units of the duplicated logic element has no affection on its performance. However, in the absence of redundancy of components of the duplicated logical element, the defects of some of its components may

not affect the on obtaining of true output signals at some its input codes. This can be seen from tables 1—3 — the influence of single failures in the work of duplicated two-input element NOR (fig. 2). In these tables, in the column "W/o duplication" (under the heading "Result") sign "+" indicates the correct result at the output of this duplicated element, and other designations in this column indicate the erroneous result, i.e., the failure of the duplicated element.

With that said, let us to approximately estimate the relative probability of failure of the logical element when it hit by a particle, taking into consideration not only its equipment, but also its interconnections, as well as codes on its inputs. For an approximate calculation of the defects of the internal interconnects in the duplicated logical element it is offered to consider a defect at any point in an area of the interconnect as a defect occurred in one "control" point of this area, indicated on the diagram of the element (fig. 2). It should be noted, that fig. 2 shows an example of the selection of the "control points", which can be refined. External interconnections, i.e., interconnection between the logical elements we will not consider, assuming that they are protected from failures caused by particle's hitting by large enough selection of the width or by redundancy.

Then the relative probability of failure of the duplicated logical element the defect caused by particle's hitting of its components appears (device or interconnect) for all equally input codes of this element will be

$$\beta_2 = (z_r + z_i)/[2^q(n_{ed} + n_i)], \quad (13)$$

where z_r — the number of cases of failure of the duplicated logical element in the case of defects in the devices arising from all the input codes of the element; z_i — the number of cases of failure of this element in the case of defects in its interconnections; q — the number of logical inputs of this element; 2^q — the number of input codes of the element; n_{ed} — number of devices in this element, n_i — the number of internal interconnections of the element, equal to the number of control points of these connections.

Thus, in the formula (13) the denominator indicates the total number of possible cases of defects in the duplicated logical element with all its possible input codes, and the numerator of a fraction — the total number of cases of failure of this element in the case of defects in its components (devices and interconnects). Let's illustrate the use of formula (13) on an example of duplicated two-input element NOR (2), assuming that the as defects of "opening" type are only possible (tables 1, 2 and 3). In this case, $q = 2$, $n_{ed} = 7$, $n_i = 10$ (only reference points indicated in fig. 2 and in the tables are taken into account), $z_r = 2$ (the results in the column "W/o duplication", which are not marked by "+"), $z_i = 12$ (the results in the column "W/o duplication", which are not marked by "+"). Substituting these values into the formula (13), we obtain $\beta_2 = 0,205$. Apparently, the estimate of the relative probability of failure of the duplicated logical element in the case of the defect appearance therein caused by the hit of a particle by the formula (13) is more accurate than the estimation by the formula (12), since the latter do take into account the input codes of the logical element and interconnections' defects.

To collect for the impact of redundancy of devices within the logical element and its input codes in the following we will use new formula instead of (11):

$$P_{\Pi} = \Phi W S_{\Pi} \beta, \quad (14)$$

where β — the relative probability of failure of the duplicated logical element with a defect in it, caused by a particle hit; for example, $\beta = \beta_1$ or $\beta = \beta_2$; other values are as defined above.

Substituting (10) in view of (9) and (7) into (14):

$$P_{\Pi} = \Phi W s_t b n_e N \beta. \quad (15)$$

With regard to (15), from the formula (1) we obtain

$$P_2 = (\Phi W)^2 (s_t b n_e)^2 \cdot 2 N \beta^2. \quad (16)$$

From (8) we find

$$N = S_H / (s_t n_e). \quad (17)$$

Substituting (17) into (16) we obtain

$$P_2 = (\Phi W)^2 S_H \cdot 2 n_e b^2 s_t \beta^2. \quad (18)$$

Let us to mark the failure probability P_2 of the redundant circuit built on duplicated elements NOR through P_{2-2} , as it shown in fig. 2.

When at $\beta = \beta_1 = 3/7$, i.e., by using the formula (12), for the logical element shown in fig. 2, we find from (18):

$$P_{2-2} = (\Phi W)^2 S_H \cdot 6 s_t. \quad (19)$$

When at $\beta = \beta_2 = 0,205$, i.e., by using the formula (12), for the logical element shown in fig. 2, we find from (19):

$$P_{2-2} = (\Phi W)^2 S_H \cdot 0,373 s_t. \quad (20)$$

Consider the case when the duplicated component is a transistor, i.e. the case where the structure of the logical element is not duplicated (see fig. 4). It can be seen, that for a redundant circuit, built on duplicated elements NOR, the formulas (6—10, 13—17) remain valid, in the case if we take $n_{ed} = n_e = b - \beta = 1$. Here, the choice $\beta = 1$ is caused by the fact, that any opening in the duplicated component (in transistor or its interconnections) leads to its failure. Then the probability of failure P_{2-4} of the redundant chip built on the elements shown in fig. 4, will be

$$P_{2-4} = (\Phi W)^2 S_H \cdot 2 s_t. \quad (21)$$

If we assume that the fluences in the formulas (19)—(21) are the same, we can get the indicator of fault tolerance change at $\beta = \beta_1$

$$\alpha_{2-4} = P_{2-2} / P_{2-4} = 3, \quad (22)$$

and at $\beta = \beta_2$

$$\alpha_{2-4} = P_{2-2} / P_{2-4} = 0,187 \quad (23)$$

or

$$\alpha_{4-2} = P_{2-4} / P_{2-2} = 1/0,187 = 5,35. \quad (24)$$

Thus, the probability of failure of the chip with the duplicated structure of NOR element (fig. 2) became 3-fold higher than the probability of failure of the chip without duplicating of the chip's element structure (fig. 4) at $\beta = \beta_1$ and more than 5-fold less than at $\beta = \beta_2$. The latter estimation is more accurate.

It should be noted, that only the defects of "opening" type were considered in these estimates. As a consequence, in the case of short circuit, the duplicated element without redun-

dancy of its structure appears unworkable, meanwhile, as shown in table 4, the duplication of the structure of the logical element (fig. 2) helps to protect against single short circuits. An additional point, the advantage of the duplicated logical elements with duplication of their structure (fig. 2) is that the distance between them can be made large enough so one particle cannot damage two adjacent logical elements.

Conclusion

The observed ways to build the duplicated logical elements with duplication of their structure and without its redundancy, as well as the methods for estimation of the chip failure probability using these methods, allow you to select an option for duplication of the logical elements for specific applications. The relative probability of failure of the logical element in case of a defect therein taking in account equally combinations of logic signals at its inputs was used in assessing the probability of failure of a chip. Although this case is associated with the logical function of this element and for simplicity it is assumed that the chip is made up of the logical elements same by the function, it provides a comparative assessment of the approximate probability of chip failure with different types of component-wise duplication in their work during irradiation.

References

1. Aleksandrov P. A., Zhuk V. I., Litvinov V. L. *Sposob pos-toyannogo poelementnogo dublirovaniya v diskretnykh elektronnykh sistemakh (varianty)*, Patent RF na izobretenie № 2475820 ot 10.08.2011, klassy MPK G06F11/16, H03K19/007.
2. Aleksandrov P. A., Budaragin V. V., Zhuk V. I., Litvinov V. L., Svechnikov A. B. *Deystviya izlucheniya na materialy, pribory i skhemy nanoelektroniki, Yadernaya fizika i inzhiner-ing*, 2013, vol. 4, no. 6, pp. 590—596.
3. Aleksandrov P. A., Budaragin V. V., Zhuk V. I., Litvinov V. L. *Ob otkazoustoychivosti nanoelektronnykh integralnykh skhem pri obluchenii, Nano- i mikrosistemnaya tekhnika*, 2014, no. 1, pp. 1—14.
4. Aleksandrov P. A., Zhuk V. I., Litvinov V. L. *Nanoelektronika i radiatsiya, Priroda*, 2015, no. 1, pp. 14—21.
5. Aleksandrov P. A., Budaragin V. V., Zhuk V. I., Litvinov V. L. *Otkazoustoychivost' pokomponentno dublirovannoy mikroskhemy pri obluchenii, Nano- i mikrosistemnaya tekhnika*, 2015, no. 3, pp. 10—23.
6. Aleksandrov P. A., Budaragin V. V., Zhuk V. I., Litvinov V. L. *Sravnitel'nye otsenki otkazoustoychivosti mazhoritar-no rezervirovannykh i pokomponentno dublirovannykh mikroskhem pri obluchenii, Nano- i mikrosistemnaya tekhnika*, 2016, vol. 18, no. 3, pp. 176—192.
7. Dorfman V. F., Ivanov L. V. *EVM i ee elementy. Razvitiye i optimizatsiya*, Moscow, Radio I svyaz', 1998, 240 p.
8. GOST 27.002—89. *Nadezhnost' v tekhnike. Osnovnye ponyatiya. Terminy i opredeleniya*.
9. Ugryumov E. P. *Tsifrovaya skhemotekhnika*. 3-e izd. SPb, BKhV-Peterburg, 2010, 816 p.
10. Presnukhin L. N., Vorob'ev N. V., Shishkevich A. A. *Raschet elementov tsifrovyykh ustroystv*. 2-e izd., Moscow, Vysshaya shkola, 1991, 526 p.
11. Stepanenko I. P. *Osnovy mikroelektroniki*, 2-e izd., Moscow, Laboratoriya Bazovykh Znaniy, 2000, 488 p.